

LED의 이슈 및 기술 동향

The Issues and the Technology Trends of LED

융합기술시대의 ICT 부품 연구동향 특집

김종배 (J. Kim)

광모듈응용기술팀 책임연구원

목 차

-
- I . 서론
 - II . 기술 동향
 - III . 맺음말

LED는 2000년대에 들어서면서 생활 전반에 사용되기 시작하여 최근에는 자동차용 부품과 TV의 back light unit에 이르기까지 모든 분야에서 다양한 용도로 사용되고 있다. 본 기고에서는 이러한 LED의 기판을 포함한 에피, 칩, 그리고 패키지 기술의 중요한 이슈와 기술의 동향에 대하여 간략히 정리하였다. 상용화되어 사용되는 사파이어나 SiC 기판 이외에 연구개발이 진행중인 GaN 기판 기술을 소개하고, 에피 기술에서는 활성층과 클래딩층 성장 기술의 이슈들을 제시하며, 칩의 종류와 특성을 중심으로 droop 현상과 광추출 기술 등을 살펴보고, 다양한 패키지의 종류 및 특징 등을 포함하는 LED 분야의 기술 동향에 대하여 설명한다.

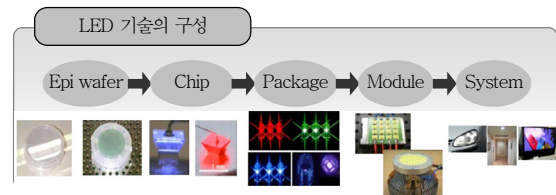
I. 서론

1962년 최초의 가시광선 LED(발광 다이오드)가 개발된 이래 1960년대를 거치면서 적색 LED가, 1970년대와 1980년대를 거치면서 녹색 LED가 개발되었고, 1995년 청색 LED가 개발되면서 총천연색의 구현이 가능하게 되었으며, 이에 따라 LED의 연구개발과 활용에 대한 본격적인 붐이 조성되었다. 2000년대에 들어서면서 생활 전반에 사용되기 시작하여 휴대폰의 액정 표시 소자, 옥외용 대형 디스플레이 전광판, 교통 신호등, 자동차 부품, TV를 중심으로 한 가전 제품 등 모든 분야에서 다양한 용도로 사용되고 있다[1],[2]. LED는 반도체 고체 조명으로 환경 친화적이고, 기존의 일반 조명 기구에 비하여 에너지 절약 효과가 우수하고, 장시간 사용이 가능한 반영구적인 긴 수명 등의 장점으로 인하여 국가적 관심 산업이 되어 정부에서도 국가적 정책 방향을 설정하고 지원하고 있다[3]. 이에 기반하여 국내에서도 출력과 효율을 향상하고 궁극적으로 일반 조명을 비롯하여 감성 조명 등 다양한 용도로 활용하기 위해 연구개발이 활발히 진행되고 있다[4]-[6].

LED 기술의 단계는 통상적으로 에피, 칩, 패키지, 모듈 및 시스템 기술로 분류할 수 있는데, 본 기고에서는 LED 기술의 중심이라고 할 수 있는 기판을 포함한 에피, 칩, 그리고 패키지 기술에 대하여 간략히 정리하고자 한다. 기판에서는 상용화되어 사용되는 사파이어나 SiC 기판 이외에 연구가 진행중인 GaN 기판 등을 소개하고, 그들의 특성과 장단점을 살펴본다. 현재에도 LED의 중요한 한 이슈인 p-GaN 성장 기술을 비롯한 활성층 성장 기술의 이슈를 포함하는 에피 기술, 칩의 구조에 따른 종류 및 특성과 광추출 기술 등을 살펴보고, 다양한 패키지의 종류 및 특징에 대하여 간략히 설명한다. 한편, 본 기고에 인용된 내용과 사용된 자료에 대하여 모든 원전과 출처를 다 세세히 적시하지 못함을 미리 밝히고 양해를 구한다.

II. 기술 동향

LED 기술의 단계는 통상적으로 에피, 칩, 패키지, 모듈 및 시스템 기술로 분류할 수 있으며 그 연관 관계는 (그림 1)과 같다. 여기서는 LED 기술의 핵심인 기판을 포함한 에피, 칩, 패키지의 중요한 이슈 및 기술 동향에 대하여 알아본다.



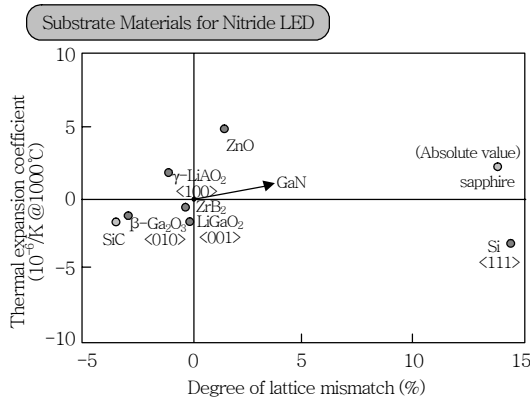
(그림 1) 단계별 분류에 의한 LED 기술의 구성

1. 기판

반도체 공정에 의하여 기판(wafer) 위에 반도체가 성장되는데, 이 기판의 구조가 성장 가능한 반도체의 종류 및 구조를 결정한다. 따라서 기판은 반도체의 성장을 결정하는 기반이 되며, 따라서 격자 상수 등 성장하고자 하는 반도체의 성질에 적합한 구조를 가진 것을 선택한다. 일반적으로 알려진 실리콘 반도체 성장을 위해서는 실리콘 기판이 사용되지만 화합물 반도체인 LED 성장을 위해서는 다른 종류의 기판들이 사용된다[7]-[11].

일반적으로 상용화된 LED 기판은 사파이어(Al_2O_3)나 SiC 기판이며 LED 칩은 이들 기판 위에서 에피 성장하여 제작이 되나, 광효율 향상 및 고출력에 따른 특성 확보를 위해 새로운 기판을 사용하여 이들 기판 위에서 에피 성장하는 방법이 연구 개발중이다. 이러한 새로운 기판은 사파이어 및 SiC 기판에서 LED를 성장하는 현존하는 주요 선진업체인 니치아, 크리, 도요타고세이 등의 핵심 특허를 피할 수 있는 해결책이 될 수 있어 연구를 진행중이다. 먼저 실제 LED 칩 제작에 대표적인 LED 재료인 GaN을 기준으로 각 기판 재료의 격자 불일치 정도와 열팽창 계수의 관계를 살펴보면 (그림 2)와 같다.

기존에 사용되고 있는 사파이어 기판이나 SiC 기



(그림 2) 기판 재료의 격자 불일치 정도와 열팽창 계수

판들을 대체하기 위해 새로운 기판들이 연구되어 왔는데, 기판들의 종류와 중요한 특성을 살펴보면 다음과 같다.

가. 사파이어 기판

사파이어는 (그림 2)에서 보는 바와 같이 격자 부정합이 크고 전기 부도체이며 열전도율이 낮고 dicing 비용이 높으나, GaN과 마찬가지로 육방정 구조를 가지며 (0001)면의 결정학적 구조가 서로 유사하다. 사파이어는 용점이 2050°C 정도로 매우 높아 GaN과 같이 고온 증착해야 하는 박막의 기판으로 적합하고, 산이나 알칼리에 쉽게 부식되지 않으므로 각종 습식 식각(wet etching)에도 잘 견디며 가격이 상대적으로 저렴한 장점을 가지고 있다. 하지만 GaN과 격자 부정합이 매우 크기 때문에 사파이어를 기판으로 하여 GaN 박막을 성장하면 계면에서 격자 불일치로 발생하는 변위(dislocation)가 GaN 박막 내부로 전파되어 LED 제조시 소자 특성을 저하시키는 결정적인 결함으로 작용한다. 지금은 LED의 효율이 상대적으로 높지 않아 사파이어 기판을 사용할 수 있지만 향후 고효율의 LED를 제조할 때도 사파이어 기판이 계속 적합할지는 현재로서는 미지수다.

나. SiC 기판

(그림 2)에서 보는 바와 같이 SiC는 GaN과 격자 부정합도 비교적 적고 열특성이 우수해 GaN 박막을

성장하는 기판으로도 사용되고 있다. 하지만 SiC 기판은 사파이어 기판 대비 10배 정도의 고가이고, 근 자외선 영역인 411nm 근처에서 광손실이 존재하며 기판의 굴절률이 낮아 광추출 효율이 낮다. 게다가 SiC는 간접 천이형 반도체로 전자와 정공이 결합할 때 다량의 열을 발생하여 LED 제조에는 부적합하다고 알려져 있으나, 단결정 제조 기술이 GaN 및 ZnO 등 다른 기판에 비해 워낙 앞서 있기 때문에 SiC를 기반으로 하는 LED 기술도 계속 연구될 전망이다.

다. GaN 기판

사파이어 기판이나 SiC 기판은 (그림 2)에서 알 수 있듯이 청색 계열의 LED 반도체 재료인 GaN 화합물 반도체와 격자 상수의 차이가 상당히 크다. 이러한 GaN 화합물 반도체와 사파이어나 SiC 기판과의 격자 상수 차이로 인한 결함을 해결하기 위해 같은 종류인 GaN 화합물로 제작된 기판이 GaN 기판이다. GaN 기판은 동일한 종류의 재료를 사용하기 때문에 격자 불일치 문제를 해결할 수 있어 저결함 특성을 지닌 고품질 에피 성장이 가능하나, 그 가격이 매우 고가로 실제의 양산까지는 많은 시간이 필요하다. 실제 이렇게 격자 상수가 일치하는 GaN 기판을 이용하여 2007년 마쓰시타는 당시 최고 수준인 청색 LED 개발을 발표한 바 있다.

비극성 GaN 기판은 위에서 언급한 격자 상수의 일치라는 큰 장점에도 불구하고 아직 자체적인 몇 가지의 문제점을 가지고 있다. 그 중 하나가 비극성 GaN 기판의 수급 문제인데, 통상적으로 m-GaN 기판은 (100) LiAlO₂(Lithium Aluminate) 상에서 성장된다. 그런데 이종 기판인 LiAlO₂가 매우 고가인데다 비극성 GaN 기판 자체가 매우 비싸지면서도 실제 크기는 아직 너무 작아 (Maximum ~5×10mm²) 실험실에서 연구의 수준이며, 아직 상용화에는 문제가 있다.

이러한 고가의 문제를 해결하기 위해 기존의 사파이어 기판을 사용한 LED 공정과 유사하게 진행할 수 있는 r-plane 사파이어를 이용한 a-plane GaN 기판이 연구 개발중이다. 하지만 이러한 방법은 r-

plane 사파이어를 이용하기 때문에 결정학적 차이에 기인한 a-plane GaN의 성장의 문제점이 여전히 존재한다. 즉 Ga과 N-face의 성장 속도의 차이에 의한 V-pit 형성으로 비극성 a-plane GaN의 표면 facet이 형성되고, 비등방성 격자(lattice: ~16% [1-100] & ~1% [0001]) 및 열적 부정합(thermal: ~25% [1-100] & ~0.1% [0001])에 의한 비극성 a-plane의 결정에 결함이 발생한다.

라. 무분극 기판

통상적으로 에피 성장에 사용되는 것은 c-plane 사파이어 기판인데, 이 기판에서는 자발적인 압전(piezoelectric) 및 분극(polarization) 현상이 야기되며, (그림 3)에서와 같이 에너지 밴드를 휘게 만들고 양자 우물(quantum well)에서 전하의 분포를 분리시킨다. 이렇게 에너지 밴드가 휘어지고 양자 우물에서 전하의 분포가 분리되면서 발광의 적색 편이 현상이 나타나고 전자(electron)와 정공(hole)의 재결합 효율이 낮아져 발광 효율이 낮아지고 높은 문턱 전류가 필요하게 된다. 이러한 문제점에 대해 사파이어 기판의 결정 방향을 고려한 무분극(non polar) 기판이 해결의 가능성으로 제시되면서 연구 개발이 진행중이다.

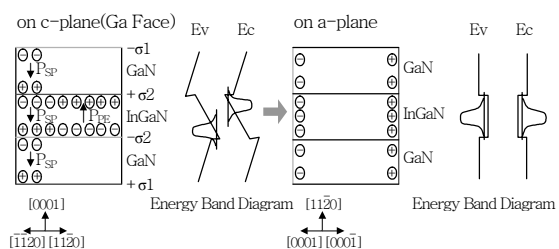
무분극 기판은 몇 가지의 장단점을 가지고 있는데, 먼저 무분극 기판에서 성장된 LED는 극성의 소멸로 양자 효율이 증가하고 $\sim 7 \times 10^{18}/\text{cm}^3$ 정도의 고농도 p-GaN 도핑이 가능하게 한다. 뒤에서도 설명하겠지만 p-GaN 도핑은 LED 기술의 중요한 한이슈인데, 특히 자외선 LED는 AlInGaN p-형 도핑이 매우 어려워 파장이 짧아질수록 효율이 떨어지

나, 무분극 기판에 의해 p-형 도핑이 용이해져 효율이 증가할 수 있다. 또한 무분극 기판에 의한 LED는 편광빔을 방출하여 LCD BLU에서 유효 빔이 40~70% 정도 증가하고 출력에 따른 파장 변화가 없으며, 두꺼운 양자 우물이 가능해 고출력 LED의 droop 현상 문제 해결에 유리한 가능성이 존재한다. 하지만 무분극 기판을 사용한 에피 성장은 매우 어려운 3차원 표면 에피 성장이어서 거울 같은 평탄한 표면을 제어하기가 매우 어렵고, stacking fault가 생성되고 변위가 다량 발생하며 광학적 특성의 확보가 매우 까다로운 단점도 여전히 존재한다.

마. ZnO 기판

(그림 2)에서 알 수 있듯이 이 기판은 GaN와 격자 상수가 비슷하고, 결정 구조가 GaN 결정과 같은 우르자이트 구조(wurtzite structure)로 불리는 육각 기둥 모양의 결정 구조를 가지기 있고 전기 전도성이 좋아서, 일본 업체를 중심으로 연구 개발중이다. 시판되고 있는 청색 LED는 사파이어 기판 위에 성장시키는 GaN의 성장면은 c-plane이라는 극성면을 이용한다. 즉 c-plane의 법선 방향(c축 방향)을 성장 축으로 하고 있다. 극성면을 이용하면 InN의 격자 상수가 GaN의 격자 상수보다 크기 때문에 압전 효과가 생기고, 발광 시에 압전 효과에 의해서 활성층에 주입한 전자와 정공이 공간적으로 멀어져, 재결합하는 확률이 줄어들기 때문에 발광 효율이 저하된다. c-plane이라고 하는 극성면의 법선 방향의 면에 해당하는 m-plane이나 a-plane 같은 무극성면을 이용하면 활성층에 생기는 압전 효과의 영향을 약하게 할 수 있다.

ZnO 기판을 이용한 InGaN계 LED 소자는 청색만이 아니고, 녹색이나 적색, 적외선이라고 하는 파장의 긴 빛을 발하는 소자도 만들 수 있는 가능성도 있다. 일반적으로 발광 파장을 보다 장파장으로 만들기 위해서 In의 양을 늘리려고 하면, 거기에 따라 결정의 변형이 커져 압전 효과가 강해지거나 In와 Ga의 원자 반경이 다르기 때문에 상분리 반응 등이



(그림 3) 압전 및 분극 현상과 에너지 밴드의 변화

생겨 InN와 GaN가 서로 잘 섞이지 않아, 장파장을 발광하는 고효율 LED를 제작하는 것은 어렵다. 하지만 ZnO의 무극성 면을 이용함으로써 압전 효과를 억제할 수 있거나 저온 성장 등에 의해서 상분리 반응을 억제하는 것이 가능하며, InGaN에 의한 녹색이나 적색, 적외선 LED의 제작이 실현될 가능성이 있다. ZnO 기판을 이용함으로써 결정 결함이 적은 고품질인 무극성 GaN 결정을 성장할 수 있지만 아직은 상용화하여 LED 소자의 생산까지는 도달하지 못했다. 이것은 ZnO가 GaN와 용이하게 반응하기 때문인데, 일반적인 제작 기법을 이용하여 1000°C에 도달하는 고온 하에서 GaN 결정을 성장시키면 ZnO와 GaN의 반응이 이루어져 화합물이 되어 높은 품질의 결정을 만드는 것이 매우 어려워지는 기술상의 난제가 아직 해결되지 못하였기 때문이다.

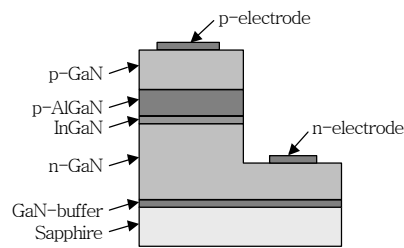
바. 실리콘 기판

실리콘 반도체의 잘 확립된 공정과 대면적화된 기판 등의 장점을 살리기 위해 실리콘 기판 위에서 GaN 질화물 반도체 에피 성장을 하는 기술이 연구되고 있으나 아직 상용화 되지는 못하고 있다. (그림 2)에서 알 수 있듯이 격자 상수의 차이가 크고, 실리콘 기판 위에 GaN 반도체를 성장시킬 경우 2차원 성장 모드 보다는 3차원 성장 모드가 우선하여 평탄한 표면을 갖는 에피 성장이 어려운 본질적인 문제점이 있다. 버퍼층 등의 반도체 적층을 교대로 반복하여 두텁게 성장하면 평탄한 표면은 얻을 수 있으나 일정 두께 이상에서 과도한 Al 조성에 의한 스트레인 때문에 표면에 결함이 발생한다. 이러한 문제점을 해결하기 위해 성장 조건이나 구조 자체를 변경하기도 하고, 버퍼층에 새로운 물질을 사용하는 성장 기술 등이 연구되고 있으나 본질적인 문제점이 아직 해결되지 못하고 있다.

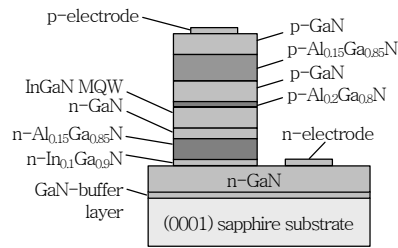
2. 에피

에피는 기초 소재인 단결정 기판에 단결정 박막을 성장하는 과정을 지칭하는 것이다. 즉 기초 소재인

기판 위에 금속 유기 화학 증착법(MOCVD) 장비를 사용하여 화합물 반도체를 성장시켜 에피 웨이퍼를 제조하는 단계이다. 예를 들면 청색 LED의 경우 사파이어나 SiC 기판 위에 n형 반도체(n-GaN)와 빛을 발광하는 활성층(InGaN), 그리고 p-형 반도체(p-GaN)가 차례로 증착되는 과정이다. 하지만 실제의 에피 구조는 이보다 훨씬 복잡한데, 일례로 니치아 칩의 구도를 참고하면 (그림 4)와 같다.



(a) Structure of InGaN SQW LED(1994)



(b) Structure of InGaN MQW LED(1996)

<자료>: Nichia Corporation

(그림 4) LED의 에피 구조

다음은 에피와 관련된 기술의 중요한 이슈와 이들의 기술 동향에 대해 알아본다.

가. p-GaN 성장 기술

앞에서도 언급되었지만 LED의 에피에서 p-GaN의 성장 기술은 현재에도 여전히 주요한 이슈 중의 하나이다. 일반적으로 n-GaN 층이나 p-GaN 층 같은 클래딩층의 제작시 Si와 Mg가 도핑 물질로 사용되는데, p-GaN 제작시 도핑 물질로 사용된 Mg 원자가 Ga 자리에 완전히 치환되지 않고 질소 원자로 주입되는 NH₃가 열분해된 수소와 결합하여 Mg-H 복합체를 GaN 층 내에 형성하여 106ohm 정도로 높은 저항값의 절연 특성을 가진다. 이러한 이유로

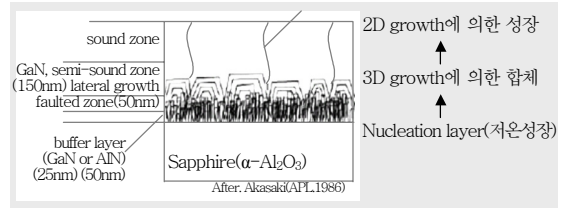
p-GaN 제작은 많은 시간과 연구를 거쳐 1986년에 이르러서야 Mg-doped GaN 단결정층을 LEEBI 방식에 의해 표면을 열처리하여 처음 성공하였다. 이후 1992년에 이르러 성장된 Mg-doped GaN 단결정층을 400°C 이상에서 고온 열처리하여 캐리어 농도 $5 \times 10^{17}/\text{cm}^3$ 및 이동도 $10\text{cm}^2/\text{Vsec}$ 정도의 유용한 p-GaN을 제작하였다.

실제 Mg-doped p-GaN 층의 Mg 농도가 $10^{19} \sim 10^{21}/\text{cm}^3$ 정도인데 반해 열공정 후의 캐리어 농도가 $\sim 5 \times 10^{17}/\text{cm}^3$ 정도로, Si-doped n-GaN 층의 캐리어 농도 $\sim 10^{19}/\text{cm}^3$ 정도에 비하여 낮은 편이다. 이 때문에 저항성 전극(ohmic contact) 형성 공정 중에서 전류의 원활한 공급이 어려우며, 과도한 Mg 원자 또는 Mg-H 복합체에 의하여 Mg-doped p-GaN 층의 발열을 야기하고, 또 실제 LED에서 발광되어 방출되는 빛을 포획하여 발광 효율을 저하시킨다. 일반적으로 LED의 열 발생은 주로 저항 성분이 높은 p-GaN 층과 결정성이 나쁜 AlInGaN 다중양자 우물 구조에 의한 것이다. 그래서 이러한 p-GaN 층의 불충분한 활성화로 인하여 투명 전극 같은 전기적 전도층의 도움이 필요하다.

한편, 다중 양자 우물 구조 표면에 다량의 V-pit 같은 결정 결함이 존재하고 그 위에 p-GaN 층을 형성할 경우 피트가 p-GaN 층으로 전파되고, 피트 자체가 결정 결함의 통로가 되어 Mg 원자가 내부 확산을 통해 발광층으로 주입되어 발광 효율의 저하를 초래하며, 동작시 과도한 누설 전류로 LED 자체가 파괴되기도 한다. 따라서 결정 결함을 줄여 표면 평탄도를 향상시키고 p-GaN 층의 캐리어 농도 $\sim 5 \times 10^{17}/\text{cm}^3$ 정도를 n-GaN 층의 캐리어 농도 $\sim 10^{19}/\text{cm}^3$ 정도로 향상시키는 획기적인 원천기술 개발이 절대적으로 필요하다.

나. 저온 완충층 성장 기술

저온 완충층(buffer layer)은 사파이어 및 SiC 기판과의 격자 상수(lattice constant) 및 열팽창 계수(thermal expansion coefficient)의 불일치에 의해



(그림 5) 저온 완충층 성장의 구조

서 발생하는 결정 결함(crystal defect)을 최소화하여 양질의 결정성을 갖는 GaN 질화물 반도체 에피웨이퍼를 얻기 위해서 필요하다. 1992년 니치야사의 나카무라 등이 저온의 GaN 완충층을 적용하여 양질의 단결정 GaN 질화물 반도체를 성장시키는데 성공하였다(그림 5) 참조.

다. AlInGaN계 활성층 성장 기술

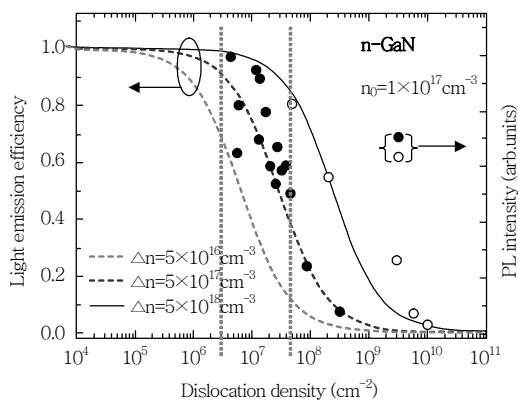
휘도 및 신뢰성 향상을 위한 LED의 기술 혁신 중 하나는 발광층의 내부 양자 효율을 향상시키는 것인데, 1995년 상용화 초기에는 InGaN/GaN 또는 InGaN/InGaN 형태의 단일 양자 우물 구조를 적용하였다. 1999년 이후 활성층 구조가 AlInGaN계 다중 양자 우물 구조로 변경되었고, 2000년 이후 고휘도 제품이 요구되면서 발광층 자체의 내부 양자 효율 향상을 기본으로 하여 n/p-AlGaIn/GaN 초격자 클래드층(superlattice clad layer)이 적용되어 비약적인 발전을 하였다. 이렇게 발광층의 내부 양자 효율을 향상시키기 위해서는 발광층 자체의 고품위 성장 기술을 개발해야 하며, 그러하지 못할 경우 성장 초기에 발생한 피트 같은 결정 결함은 성장 후 표면까지 전파된다. 또 n/p-이종 접합 LED 구조는 압전 효과가 발생하여 발광 효율을 좌우하므로 이를 억제하는 성장 기술이 필요한데, 발광층 자체가 스트레인(strain)을 발생시키므로 외부에서 이러한 스트레인을 최소화하는 구조 개발이 진행중이다.

한편, 자외선 LED의 경우 사용되는 AlGaIn/GaN계 활성층은 큰 격자 부정합으로 인한 응력 때문에 활성층 내부에 강한 전기장이 발생하여 전자-정공 캐리어의 파동 함수가 분리되어 발광 효율이 저하되는 문제가 발생한다. 이러한 내부 전기장은 활성층에

사용되는 Al 조성 및 다중 양자 우물 구조 개수를 제한하여 발광 출력을 저하시킨다. 이러한 문제점을 극복하기 위한 4성분계 AlInGaIn 박막을 활성층에 사용하는 연구가 진행중인데, 4성분계 자료는 격자 상수와 에너지 밴드갭의 크기를 독립적으로 변화시킬 수 있기 때문에 이중 구조 형성시 원하는 발광 파장을 격자 정합으로 유지하면서 조절할 수 있다는 장점이 있다. 또한 InGaIn 박막에서의 In 상분리(phase separation)에 의한 캐리어 국지 효과를 AlInGaIn 박막에서도 얻을 수 있어 하부 질화물층의 높은 변위 밀도(dislocation density)에도 불구하고 AlInGaIn 박막에서의 발광 효율 증대효과를 기대할 수 있다.

라. 변위 밀도

변위는 결정의 성장 과정에서 나타나는 결정 결함인데 LED의 경우 통상적으로 변위 밀도는 $10^8 \sim 10^{10}/\text{cm}^2$ 정도이다. (그림 6)에서와 보는 바와 같이 변위 밀도는 발광 효율에도 커다란 영향을 미치는데, 발광 효율의 향상을 위하여 변위 밀도를 $1 \times 10^7/\text{cm}^2$ 정도 이하가 가능한 에피 성장 기술이 요구된다. 이러한 변위 밀도 감소를 위해서 측면 수평 에피 성장(LEO/ELO) 기술 등을 개발하여 변위 밀도를 감소시키는 연구가 진행중이다.



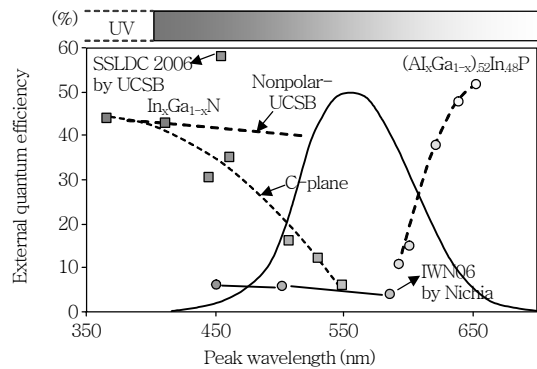
(그림 6) 변위 밀도와 발광 효율의 관계

마. Green Gap

LED의 기본 광원인 적색, 녹색, 청색의 광원 중에

서 청색과 적색을 발광하는 비교적 고효율의 LED는 존재하나 발광 파장 대역이 550nm 근처에서 발광하는 고효율 녹색 LED가 아직 존재하지 않는다.

적색을 발광하는 AlGaInP 소재 LED는 650nm 근처에서 최고의 효율을 나타내나 파장이 짧아지면 효율이 급락하고, 청색을 발광하는 InGaIn 소재 LED는 380nm 근처에서 최고의 효율을 나타내나 파장이 길어지면서 효율이 떨어진다. (그림 7)에서 잘 알 수 있듯이 두 색상의 중간 지점인 550nm 근처 녹색 영역에서 외부 양자 효율이 10% 이하로, 현재로서는 고효율로 발광하는 녹색 LED는 개발되지 못하고 있다. InGaIn의 경우, 높은 In 조성을 갖는 활성층을 성장하기 어려우며, c-plane 사파이어 기판을 사용함에 따른 내부 전계로 인하여 발광 효율이 저하되는 단점이 있다. 하지만 고출력/고효율 갖는 green LED는 대형 디스플레이, LED TV, RGB 백색 조명, 감성 조명 등을 구현할 수 있는 필수적인 핵심 광원이므로, 고출력/고효율 green LED의 연구개발이 시급하다.



(그림 7) LED Green Gap

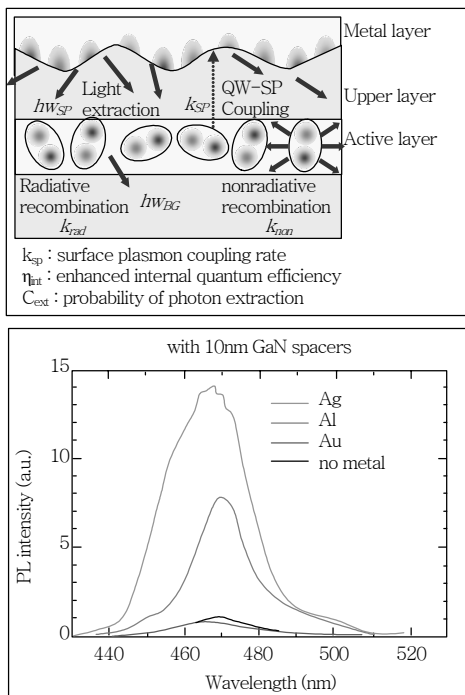
바. 정전기 방전

정전기 방전(ESD)은 전위가 다른 두 물체 간에 정전기에 의한 유한한 양의 전하가 급속하게 이동하는 방전 현상으로, 외부 정전기에 의해 LED 내부 결함을 통하여 자체의 파괴를 초래한다. 일반적으로 이러한 파괴를 방지하기 위해 모바일 제품은 제너 다이오드 등을 실장하여 정전기 방전을 회피하나 제

품의 다양화 등에 일정한 한계가 있다. 기술적으로 보면 니치아, 크리, 도요타고세이 등의 해외 선진업체 LED 제품의 내정 전압은 2kV 이상이나 대만이나 국내 제품은 아직 이에 미치지 못하고 있다. 이러한 정전기에 의한 파괴를 방지하기 위해서는 고품위 성장 기술과 최적의 LED 설계기술 확립이 필요하다.

사. 표면 플라즈몬 기술

표면 플라즈몬(surface plasmon)은 금속 박막 표면에서 일어나는 전자들의 집단적 진동(collective charge density oscillation)을 지칭한다. LED의 경우 표면 플라즈몬과의 공명에 의하여 활성층의 전자와 정공의 결합이 증가하여 내부 양자 효율이 향상된다. (그림 8)에서 알 수 있듯이, 실제 Ag나 Al 또는 Au를 p-GaN 층이나 n-GaN 층과 다중 양자 우물 사이에 주입하면 이들의 플라즈몬과 다중 양자 우물 구조가 상호 작용하여 활성층에서 전자와 정공의 결합을 촉진하여 재결합 효율을 향상시킨다[12]. 실험적으로는 세 종류의 금속 중에서 Ag가 가장 효

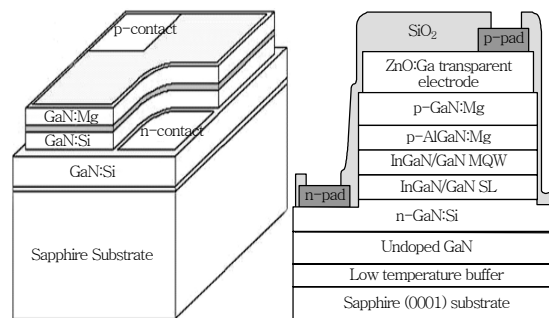


(그림 8) 표면 플라즈몬에 의한 발광 효율의 향상

과적인데, 대량 양산을 위한 제조 공정 상의 문제점 등으로 인하여 아직까지는 상용화 기술로는 발전하지 못하고 있다.

3. 칩

칩은 LED 개별 소자를 말하는 것으로, 칩 제작은 에피 웨이퍼에 전극을 형성하고 절단하는 등의 공정을 통하여 발광할 수 있는 최소의 단위 칩으로 만드는 단계이다[13],[14]. 통상적으로 윗면인 p-형 반도체에 (+) 전극이 형성되고, 절연체 기판 위에 전극이 형성될 수 없어 건식 식각(dry etching) 방식으로 위에서 n-형 반도체 일부분까지 식각하여 전극을 형성하는데, 이러한 방식은 보통 수평 전류가 흘러 전류 밀집 효과로 발광 효율이 저하된다(그림 9) 참조.



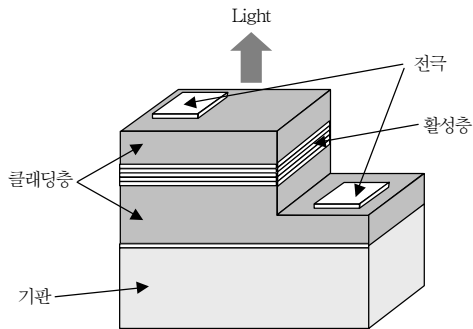
(그림 9) 칩의 구조 개요도

고출력 LED의 필요성에 따라 대면적 칩이 제작되고 있으나 발열이나 광효율 및 생산 저하의 문제가 아직 존재한다. 니치아는 작은 면적 칩을 적용하여 100lm/W LED를 2007년부터 양산하기 시작하였고, 루미레즈는 대면적 칩을 적용하여 115lm/W LED 개발을 2007년 발표하기도 했다. 칩의 구조는 발광 효율을 극대화하는 방향으로 발전해 왔는데, 다음은 칩의 구조에 따른 종류 및 중요한 이슈들에 대하여 알아본다.

가. 칩의 종류

1) 일반형

일반형 LED 칩의 구조는 빛을 발광하는 하나의

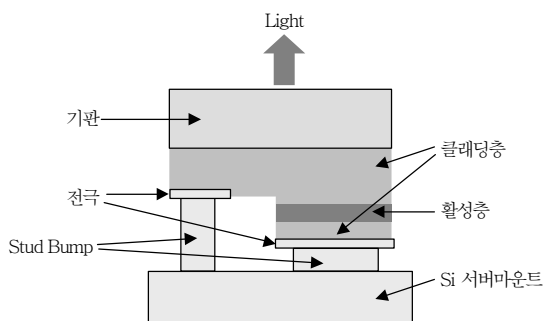


(그림 10) 일반형 LED 칩의 개요도

활성층과 이를 둘러싼 두 개의 양쪽 클래딩층으로 이루어진 기본 형태로 구성된다. 전극에 접한 클래딩층은 각각 n-doping 되거나 p-doping 되어 있는데, 주로 기판과 접한 클래딩층 부분이 n-doping 되어 있고 다른 클래딩층 부분이 p-doping 되어 있다. 도핑된 클래딩층 극성에 맞게 전극을 통하여 전압을 인가하면 n-doping된 클래딩층에서는 전자를, p-doping된 클래딩층에서는 정공을 공급하여 전류가 흐르면서 이들 전자와 정공이 가운데 활성층에서 결합하여 빛을 발광한다. 기판은 발광되는 빛의 파장에 따라 방출되는 빛의 일부를 반사하거나 투과하는데, 일반형 LED에서는 기판을 분리하지 않고 그대로 두며 반사판으로 활용한다(그림 10) 참조).

2) 플립칩형

플립칩형 LED는 사실 일반형 LED를 거꾸로 뒤집어 실리콘 서브마운트 위에 stud bump를 통하여 고정한 형태로, 발광의 기본 구조 면에서 보면 일반형 LED와 동일하다. 방열 특성과 고출력 특성이 우

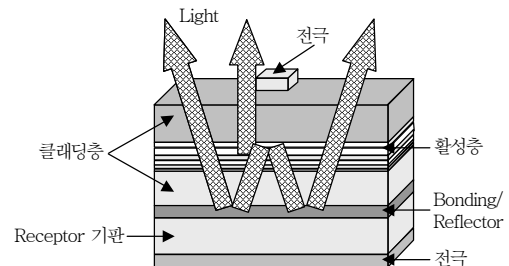


(그림 11) 플립칩형 LED 칩의 개요도

수한 플립칩 방식의 LED는 기판을 통하여 빛을 방출한다(그림 11) 참조).

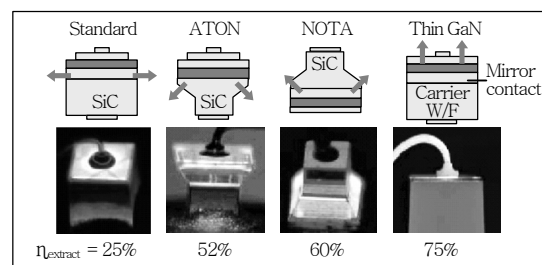
3) 수직형

수직형(thin GaN) LED도 일반형 LED와 같은 발광의 기본 구조에서 식각에 의해 적층된 일부분을 제거하지 않은 원래의 형태를 유지한다. 통상적으로 적층된 윗부분의 클래딩층에 bonding/reflector와 receptor 기판을 차례로 부착한 후, 전극을 형성하고 반대편의 기판을 분리한다. 분리된 기판의 클래딩층에 전극을 형성하면 수직형 LED의 기본 구조가 완성된다. 수직형 LED의 활성층에서 발광된 빛은 아래 면의 반사판에서 수직으로 반사되어 윗부분으로 방출되며, 방열 특성과 고출력 특성이 우수하다(그림 12) 참조).



(그림 12) 수직형 LED 칩의 개요도

이렇게 칩의 형태는 변화하여 표준적인 형태로부터 기판을 제거한 thin GaN 형태의 수직형에 이르기까지 발달하여 발광 효율이 3배 정도 증가하였다(그림 13) 참조).

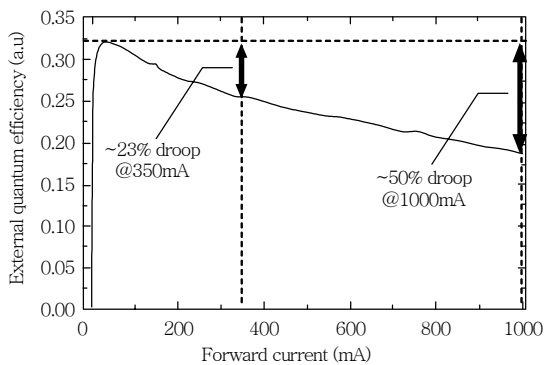


(그림 13) SiC LED 칩의 구조 변화

나. Droop 현상

Droop 현상이란 보통의 LED 칩은 일반적으로 주입 전류 20mA 근처에서 최고의 발광 효율을 보이나 고출력 발광을 위해 전류 주입을 늘리면 LED 칩의 외부 양자 효율이 감소하는 현상을 의미한다.

(그림 14)에서 보는 바와 같이 350mA에서 23% 정도의 droop, 1A 근처에서 50% 정도의 droop가 발생하며, 이 현상은 고출력의 조명용 LED 개발에 원천적인 장애 요소로 남아 있다. Droop의 원인은 과학적으로 아직 정확하게 규명된 것은 아니지만 추정되고 있는 3가지 정도의 원인과 현상적 설명, 그리고 개선성이 있다고 믿어지는 해결 방안들을 정리하면 <표 1>과 같다.



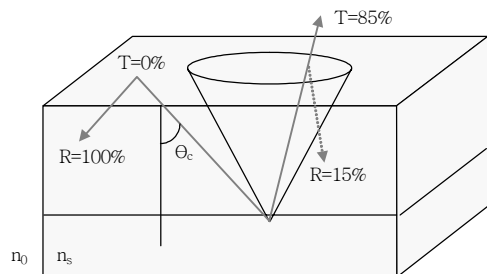
(그림 14) Droop 현상-주입 전류에 대한 외부 양자 효율의 감소

다. 광추출 기술

실제 LED 칩으로부터 발광할 때, LED 반도체 소

재와 공기의 굴절률 차이로 인하여 활성층 내부에서 발광된 빛이 일정 각도 이상이 되면 공기와의 경계면에서 내부로 전반사되어 외부로 발광이 되지 않는다. 광추출(optical extraction) 기술은 이러한 내부로의 반사를 막아 외부로 탈출하게 하여 방출되는 빛의 양을 향상시키기 위한 기술이다[15]. (그림 15)는 활성층에서 발광하는 빛이 공기와 반도체의 굴절률 상관 차이에 의하여 표면에서 탈출할 수 있는 관계를 나타낸 것인데, 광추출 효율 면에서 보면 개략적으로 표면으로 방출되는 양이 약 8%, 기판에서의 손실이 약 20%, 칩 내부에서 가이드되는 양이 약 72% 정도로 추정된다. 따라서 사파이어 기판을 제거하거나 LED 칩의 표면을 가공하여 빛을 탈출시키면 많은 부분이 개선될 수가 있다.

광추출 효율을 향상시키기 위해 다양한 기술들이 연구 개발중인데, 최근에는 전도성 투명 전극이 사용되기도 한다. 이러한 전도성 투명 전극은 가시광의 투과율이 매우 높기 때문에 전극 자체에 의한 광손실이 거의 없고 굴절률이 GaN계 결정의 굴절률과 물



(그림 15) LED 표면에서의 반사 관계를 나타내는 탈출 콘(escape cone)

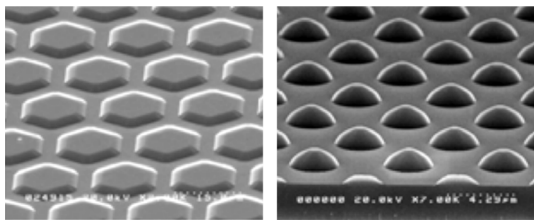
<표 1> Droop 현상 정리

Droop의 원인	현상적 설명	해결 방안
Auger effect	- Auger recombination(전자-전자 산란) - 활성 영역의 높은 전류 밀도	- Carrier density 감소 - Thick 양자 우물(DH structure) - 다중 양자우물 구조
Carrier injection or forward leakage	- n-side 다중 양자 우물 charge barrier의 polarization field가 p-side의 polarization field 보다 더 높음 - Electron blocking layer를 통한 전자의 누설	- Polarization mismatch 감소-> Quaternary AlInGaIn electron blocking layer 도입 - Overflow 감소 -> p-doping 및 electron blocking layer 강화 - 무분극(non-polar) 사용
Crystal defect	- High defect density of GaN electron tunneling between threading dislocations - Non radiative emission	- In localization 강화 - 결함 감소 - GaN substrate

드 재료인 수지의 굴절률과의 중간 정도이기 때문에 추출 효율을 대폭 향상시킬 수 있다. 다음은 다양한 광추출 효율 향상 기술들에 대하여 설명한다.

1) PSS 표면 가공 기술

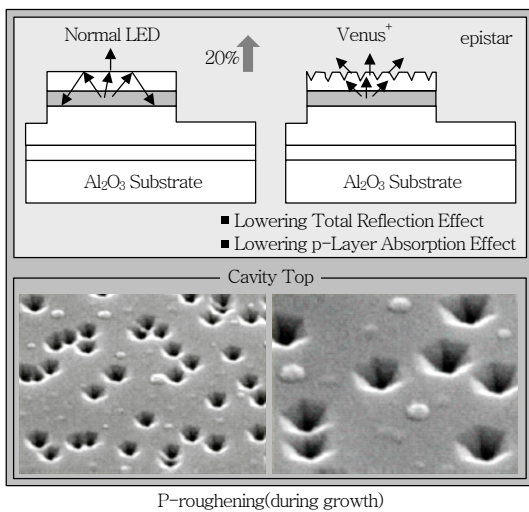
PSS 표면 가공 기술은 사파이어 기판 표면에 일정한 형태의 형상과 깊이로 패터닝을 식각하여 사파이어 기판 쪽으로 진행하는 빛을 굴절률 차이에 의해 외부로 방출하는 방법이다. PSS 기술과 관련된 선행 특허는 일본의 미쯔비시, 마쓰시타, 샤프 및 미국의 에질런사에서 일본, 대만, 한국, 유럽 특허를 세분화하여 보유하고 도요타고세이와 니치아는 원천기술을 보유하고 있지 않다(그림 16) 참조).



(그림 16) PSS 표면 가공 모습

2) p-GaN Roughness 성장 기술

p-GaN Roughness 성장 기술은 LED p-GaN 표면 쪽에서 반사되어 내부로 재반사되는 광손실을

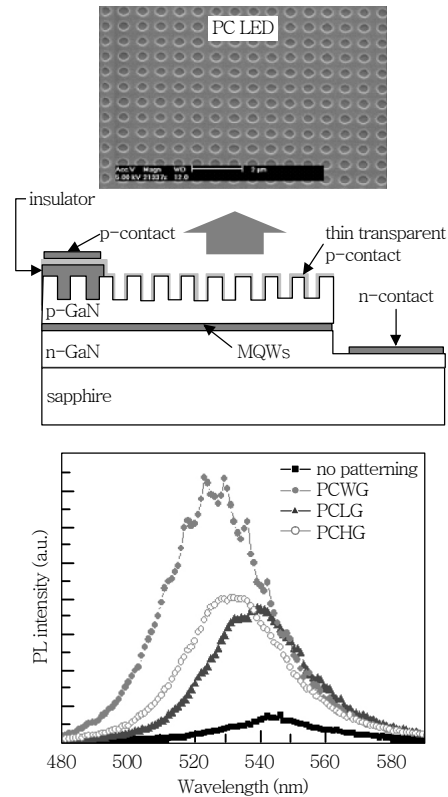


(그림 17) p-GaN Roughness 성장 모습

제거하여 외부로 빛을 방출시키는 기술이다. 대만은 PSS 기술 대신에 p-GaN 반도체 표면에 일정한 형상 및 깊이로 거칠기를 변화시키는 효율 향상 기술을 개발하였다. 대면적/고출력, 청색/녹색 및 power LED 제품에 적용되고 있는 성장 기술이나, PSS 기술보다 5~10% 정도 효율이 낮고 니치아나 도요타고세이 같은 선진업체들이 적용하고 있다(그림 17) 참조).

3) PBC 기술

PBC 기술은 p-GaN 표면에 photonic band gap 이 있는 photonic crystal에 의해 광추출 효율을 증가시키는 기술이다. 이 방법은 p-GaN 전극 접촉 부분으로 방출되는 파장을 고려한 이론적 설계를 바탕으로 나노 형상의 주기적 패턴을 E-beam 노광과 ICP/RIE 식각 공정에 의하여 형성한다. 최대 광추출은 패턴 깊이와 크기에 의해 결정되지만 전기적 특

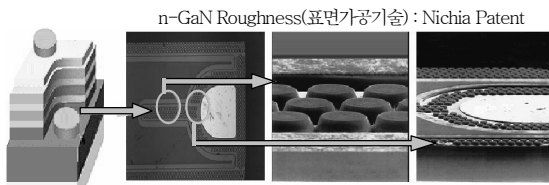


(그림 18) PBC의 구조 및 발광 효율의 향상

성까지 개선되는 것은 아니며, p-GaN 층의 낮은 전기 전도도에 의해 광추출 효율 면에서는 일정 두께 이상을 요구하지만 동작 전압 등과 같은 전기적 특성을 고려한 최적의 설계 조건이 필요하다. 청색 LED 소자의 경우 광추출 효율을 최대 30% 이상 증가시킬 수 있지만 현재 상용화가 이루어지지 않고 있으며, 향후 고휘도/고출력 LED 성능 향상을 위해 기술 개발이 필요하다(그림 18) 참조.

4) n-GaN Roughness 기술

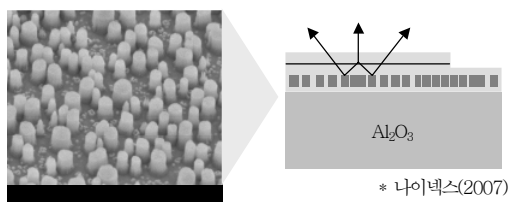
니치아사는 PBC 기술을 변형한 형태로 n-GaN 을 가공하는 기술을 개발하였는데, 메사 식각시 기존의 평면 형태에서 일정한 형태를 갖는 원형을 주기적으로 반복 형성하여 광손실을 억제한 제품을 출시하였다. n-GaN Roughness 표면 가공 기술은 휘도가 30~40% 향상되는 세계 최고의 기록을 가지고 있다. 이 기술은 수직형 구조의 LED에 사용할 수 있으며, 모발일용은 가능하지만 일반 크기의 칩에 사용하기에는 일정한 한계가 있다(그림 19) 참조.



(그림 19) n-GaN 표면 가공 모습

5) PNS 기술

PNS 기술은 위에서 설명한 n-GaN 층에 일정한 형태를 갖는 원형을 주기적으로 반복 형성하는 것과 달리 SiO₂ Nano-rod에 의하여 n-GaN에 내부



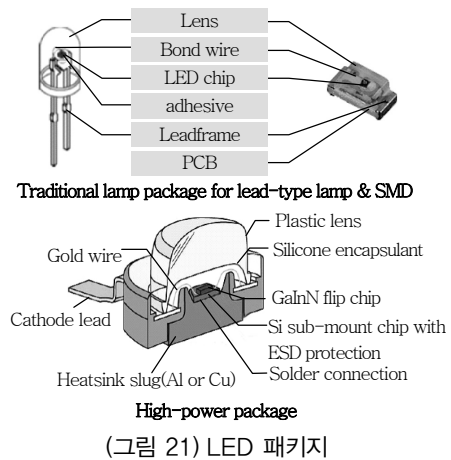
- Internal Scattering Point in n-GaN(SiO₂ Nano-rods)

(그림 20) PNS 가공 모습

산란점을 형성하는 기술이다. SiO₂ Nano-rod는 임의의 구조를 형성하여 활성층에서 발광되어 n-GaN 으로 방출되는 빛을 반사하지 않고 외부로 방출시키는 역할을 한다(그림 20) 참조.

4. 패키지

패키지는 내부에 LED 칩을 실장하고 칩과 리드(lead)를 연결하며 PCB에 부착이 가능하도록 제작된 소자이다[16],[17]. LED 패키지의 기본 구조는 일반적으로 LED 칩과 칩을 부착하기 위한 다이 본딩(die bonding)용 에폭시(epoxy) 또는 솔더(solder), 리드프레임(leadframe) 및 몸체(body), 전기적 연결을 위한 본딩 와이어(bonding wire)로 구성된다. 통상적인 반도체용 패키지의 경우, 패키지는 반도체 칩을 외부 환경으로부터 보호하고 단자를 PCB 기판에 전기적으로 연결시키며, 칩에서 발생하는 열을 외부로 전달하는 기능을 수행하나, LED 패키지의 경우 이들 기능 이외에 칩에서 나온 빛을 최대한 외부로 탈출시켜 발광 효율을 향상시키는 역할이 필수적이다. 게다가 조명용이나 중대형 백라이트용 LED는 100mA~1A급 이상의 높은 전류를 사용함에 따라 고신뢰성 및 방열 특성 확보가 매우 중요하다. 이러한 방열 특성 향상을 위해 heatsink를 배치하고 금속 PCB 위에 실장하여 열저항을 최소화하기도 한다. 최근에는 다수의 칩을 세라믹-금속 PCB 위에 탑재하는 멀티 패키지가 등장하고 있다(그림 21) 참조.



(그림 21) LED 패키지

다음은 패키지의 중요한 이슈에 대하여 간략하게 살펴본다.

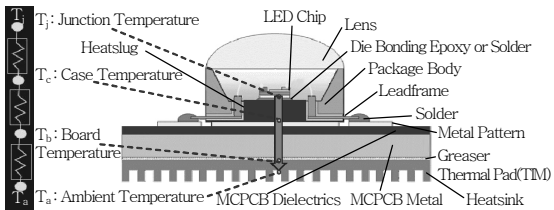
가. Junction 온도와 LED 특성과의 관계

LED는 공급된 전력이 특정 파장을 제외하면 대부분 열로 소모된다. 발열에 의하여 junction 온도가 상승하면 발광 효율이 저하되고 소자 수명이 급격하게 감소한다. LED junction 온도에 영향을 미치는 요인은 driving current, thermal path, ambient temperature 등이다. <표 2>는 각 조명 광원의 발광 특성과 에너지 효율을 정리한 것이다. 여기서 incandescent는 60W에서, fluorescent는 통상적인 선형 연속파, energy는 total radiation energy, heat는 conduction과 convection을 합한 것을 나타낸다. 일반 visible LED는 가시 광선 이외의 발광이 없기 때문에 열로 인한 손실만 줄이면 높은 가시광 발광 효율을 얻을 수 있음을 시사하고 있다.

<표 2> 조명 광원의 에너지 효율 비교 (단위: %)

	Incandescent	Fluorescent	Metal Halide	LED
Visible	8	21	27	15~25
IR	73	37	17	0
UV	0	0	19	0
에너지	81	58	63	15~25
Heat	19	42	37	75~85
Total		100		

LED 구조에서 열흐름 경로상에 존재하는 저항이 열저항(thermal resistance)이며, 열저항이 낮을수록 발생한 열이 빨리 전달된다. 패키지 상태에서 junction 온도를 직접 측정하는 것은 불가능하

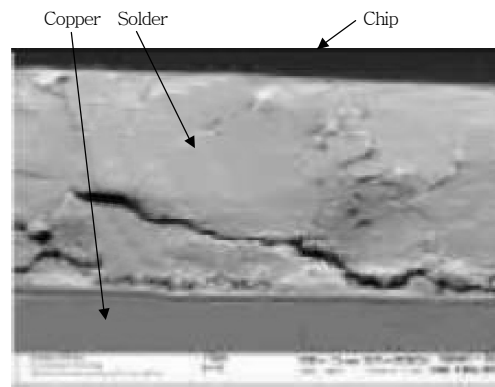


(그림 22) 열저항 측정에 의한 온도 측정

로 열저항 측정법을 이용하여 간접적으로 측정한다 ((그림 22) 참조).

나. 열팽창에 의한 스트레스

LED가 대면적화 될수록 스트레스는 커지는데, 이는 고출력 LED의 중요한 고려 사항이다. 칩과 패키지 소재와의 열팽창 차이가 클수록 스트레스는 커지고 소자의 신뢰성에 악영향을 미친다. 스트레스는 여러 과정에서 발생할 수 있는데, 여러 LED 소자를 실장하기 위한 PCB reflow 공정 및 각종 curing 공정, LED 동작중에도 각종 스트레스가 발생하며, 스트레스로 인하여 솔더 등 접합 부위에서의 결함이 발생하기도 한다(그림 23) 참조.



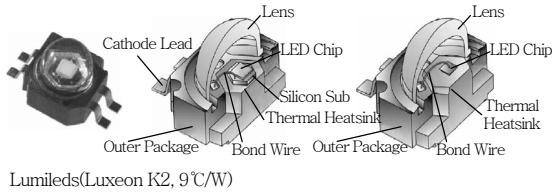
(그림 23) 열적 스트레스에 의한 결함의 발생

다음은 LED에 사용되는 다양한 패키지의 종류와 특징을 간략하게 살펴본다.

다. 패키지의 종류 및 특성

1) Plastic 패키지

일반적으로 고출력 LED용 패키지로 가장 많이 사용되며, 열방출을 위한 heatslug가 삽입된 형태와 heatslug 없이 lead를 통해 방열이 이루어지는 형태의 두 종류가 있다. Heatslug 형태의 경우는 열저항이 10°C/W 이하이며, lead에 의한 방열의 경우는 15~20°C/W 정도이고, 패키지 몸체는 PPA 수지를 주로 사용하며 heatslug는 Cu를 주로 사용한다((그



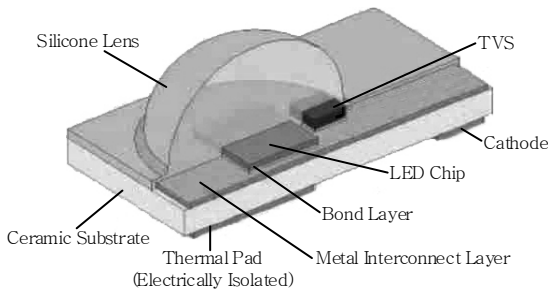
Lumileds(Luxeon K2, 9°C/W)

(그림 24) 플라스틱 패키지

림 24) 참조).

2) Sintered Substrate Ceramic 패키지

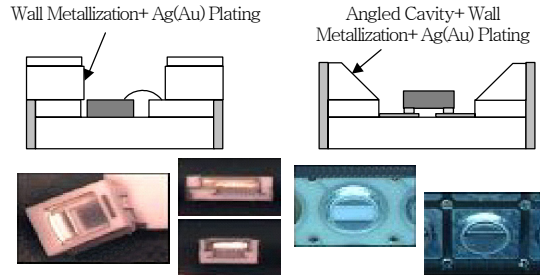
세라믹 패키지는 두 종류가 주로 사용되는데, 소결된 기판(sintered substrate)을 사용하는 경우와 소결전의 세라믹 시트를 적층(multilayer ceramic)하여 제조하는 경우로 분류된다. 소결된 세라믹 기판은 주로 알루미나(Al_2O_3)를 사용하고, 고방열의 경우는 AlN를 사용하기도 하며, laser로 가공한 via를 통해 top과 bottom을 연결한다(그림 25) 참조).



(그림 25) Sintered Substrate Ceramic 패키지

3) Multilayer Ceramic 패키지

Multilayer ceramic 공정은 소결 온도가 낮은 LTCC(alumina+ glass)와 소결 온도가 높은 HTCC(alumina) 공정으로 분류하는데, 전체 공정 비용은 LTCC가 낮고 소재 비용은 HTCC가 높다. 이 패키지의 경우는 금속의 녹는점이 문제가 되기 때문에 전극 소재는 LTCC의 경우는 Ag, HTCC의 경우는 W, Mo 등을 사용한다. 한편, 고출력 LED에서의 방열은 thermal via 또는 heatslug를 이용한다. SMD 타입이고 I/O 단자 개수를 늘리기가 쉬워 멀티칩, 어레이용으로 적합하다(그림 26) 참조).

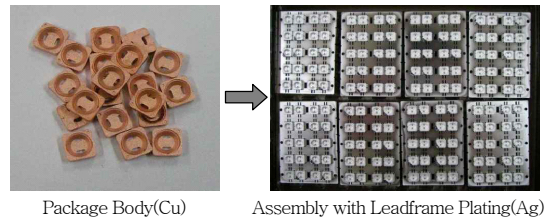


적층 세라믹 LED 패키지(Kyocera)

(그림 26) Multilayer Ceramic 패키지

4) Metal 패키지

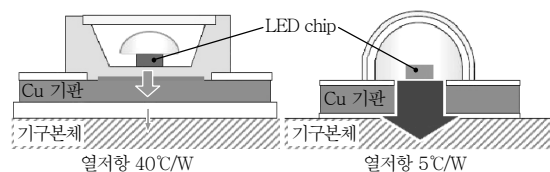
금속 소재를 사용하기 때문에 타 패키지에 비해 견고하고 우수한 방열 특성을 가지고 있다. 패키지 몸체와 leadframe 간에는 절연체 sealing 공정을 거쳐서 제조한다. 이 패키지 제조 방법이 가공 비용이 상당하여 이에 따른 원가 문제를 해결해야 한다(그림 27) 참조).



(그림 27) Metal 패키지

5) COB 패키지

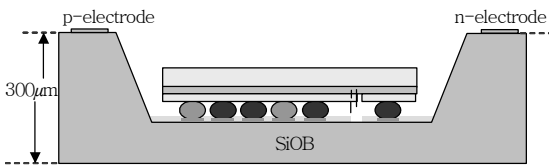
COB 패키지의 특징은 열경로를 줄임으로써 열저항을 크게 줄이는 데 있다. 이를 위하여 PCB 기판 위에 바로 칩을 실장하고 형성하여 패키지와 PCB 기판을 일체화한 것이며, 이는 칩을 패키지 내부에 실장하고 밀봉하여 제조하는 대신에 PCB 기판 위에 직접 칩을 실장하고 그 위에 광학부인 렌즈를 형성하는 방식을 사용한 것이다(그림 28) 참조).



(그림 28) COB 패키지

6) Si based WPL

실리콘 기반의 WPL은 MEMS 공정을 이용하여 실리콘 기판을 가공하여 사용한다. 이 방법은 실리콘의 고방열 특성을 이용하고 소형 및 어레이 형태의 패키지로 적합하고 ESD를 방지하기 위해 제너 다이오드의 내장도 가능하다. SMD 타입이고 lead 개수를 여러 개로 만들기가 쉬워 멀티칩, 어레이용으로 적합하다(그림 29) 참조).

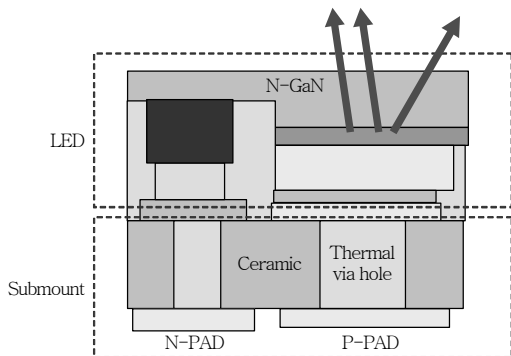


(그림 29) Si based WPL

7) Si based HWLP

기존의 WPL는 칩 공정과 서브마운트 공정을 각각 따로 진행한 후 패키지를 하는데, HWLP는 칩 공정과 서브마운트 공정을 통합한 일체형인 하이브리드 공정으로 진행한다. 이는 에피 웨이퍼를 이용하여 칩공정/패키지/PCB 실장을 일괄 진행하는 것으로, wire bonding 없이 PCB에 direct bonding 방식을 통하여 공정 단가를 획기적으로 감소할 수 있는 방법이다(그림 30) 참조).

이상으로 에피, 칩, 패키지 기술에 대하여 알아보았다. 이후의 기술 단계인 모듈은 패키징이 완료된 LED를 이용하여 일정한 프레임에 LED를 부착하는 단계를 지칭하는 것이고, 시스템은 모듈을 사용하여



(그림 30) Si based HWLP

응용 제품으로 완성된 단계를 말한다.

III. 맺음말

LED 기술 가운데 기판을 포함한 에피, 칩, 그리고 패키지 기술의 중요한 이슈와 기술의 동향에 대하여 간략히 살펴보았다.

LED 산업은 거의 모든 산업을 대상으로 하는 차세대 조명 산업으로 메모리 반도체를 능가하는 거대한 소재부품 시장을 형성할 것으로 기대되는 유망 산업이다. 우리의 LED 기술 수준은 고효도 LED 시제품을 출시하는 선발 해외 업체와 비교하면 상당한 기술 격차가 아직 존재한다. 게다가 현재의 LED 산업은 원천기술과 특허권을 선점한 선발 해외 업체들이 특허/기술 동맹을 구축하여, 한국이나 대만 등 후발 업체들에 대해 높은 진입 장벽을 형성하며 견제하고 있는 실정이다. 한국은 선발 업체에 대한 기술적 열세, 중국 등 후발 주자에 대한 가격 경쟁력에 밀리는 넷 크래커 현상 속에서 세계 시장 진입이 아직 저조한 실정이며, 가장 심각한 문제는 원천 기술의 부재에 있다.

정부의 지원과 활발한 연구개발을 통하여 이러한 문제를 극복하는 LED 소재/소자 원천기술을 개발하고 지적 재산을 확보하여, 기술 선진국으로 도약함은 물론 세계 시장을 석권하여 국가 산업 및 경제 발전에 기여하여야 할 것이다.

● 용어해설 ●

LED: p-n 접합구조를 이용한 반도체 소자로써 순방향으로 전압을 가했을 때 전자와 정공의 재결합에 의하여 빛을 내는 발광 다이오드

LCD: 인가 전압에 따른 액정의 투과도 변화를 이용하여 각종 장치에서 발생하는 여러 가지 전기 정보를 시각 정보로 변화시켜 전달하는 액정 표시 장치

약어 정리

AlN Aluminium Nitride

COB	Chip On Board
ESD	Electrostatic Discharge
GaN	Gallium Nitride
HTCC	High Temperature Co-fired Ceramics
HWLP	Hybrid Wafer Level Package
LCD	Liquid Crystal Display
LED	Light Emitting Diode
LEEBI	Low Energy Electron Beam Irradiation
LEO/ELO	Laeral Epitaxial Overalgrowth
LTCC	Low Temperature Co-fired Ceramics
MEMS	Microelectromechanical Systems
MOCVD	Metal Organic Chemical Vapor Deposition
PBC	Photonic Bandgap Crystal
PCB	Printed Circuit Board
PNS	Patterned n-GaN Substrate
PPA	Polymer Processing Additives
PSS	Patterned Sapphire Substrate
SiC	Silicon Carbide
SMD	Surface Mount Devices
WPL	Wafer Level Package

참 고 문 헌

- [1] "Light Emitting Diodes (LEDs) for Generating Illumination," *OIDA Technology Road Map Update 2002*, 2002.
- [2] Manning Fan et al., "Color Filter-less Technology of LED Back Light for LCD-TV," *Proc. SPIE*, Vol.6841, 2007, pp.68410G1-68410G6.
- [3] 장선호, 권영희, "LED 산업동향 및 정책추진 방향," *IT SoC Magazine*, Vol.31, 2009, pp.9-14.
- [4] 손원국, "조명용 LED 시장의 개발 현황 및 사업화 동향," *전자부품*, Vol.259, 2009, pp.20-26.
- [5] 산업교육연구소, LED 부품소재 기술 · 시장 편람, 2008.
- [6] 백종협, 황남, 송상빈, 조용익, 유영문, "LED의 기초와 응용," *광학과 기술*, Vol.11, 2007, pp.21-38.
- [7] 이영국, "LED 기판 재료의 연구 개발 동향," *전자부품*, Vol.259, 2009, pp.52-57.
- [8] 황규석, 황보성, 정주현, 이영환, "반도체 조명용 기판기술 전망," *주간기술동향*, Vol.1392, 2009, pp.1-10.
- [9] C. Wetzel et al., "Light-emitting Diode Development on Polar and Non-polar GaN Substrates," *Journal of Crystal Growth*, Vol.310, 2008, pp.3987-3991.
- [10] C.H. Chiu et al., "Nanoscale Epitaxial Lateral Overgrowth of GaN-based Light-emitting Diodes on a SiO₂ Nanorod-array Patterned Sapphire Template," *Appl. Phys. Lett.*, Vol.93, 2008, p.081108.
- [11] T. Detchprohm et al., "Green Light Emitting Diodes on a-plane GaN Bulk Substrates," *Appl. Phys. Lett.*, Vol.92, 2008, p.241109.
- [12] D.M. Yeh et al., "Surface Plasmon Coupling Effect in an InGaN/GaN Single-quantum-well Light-emitting Diode," *Appl. Phys. Lett.*, Vol.91, 2007, p.171103.
- [13] 이성남, "LED 칩 프로세스 기술 동향," *전자부품*, Vol.259, 2009, pp.30-38.
- [14] S.C. Hsu et al., "Fabrication of Thin-GaN LED-Structures by Au-Si Wafer Bonding," *Electro-chemical and Solid-State Lett.*, Vol.9, 2006, pp.G171-G173.
- [15] V. Coffey, "Microlens Array Improve the Extraction Efficiency of Nitride LEDs," *Laser Focus World*, Vol.44, 2008, pp.29-30.
- [16] 조현민, "고출력 LED 패키지 기술 개발 동향," *전자부품*, Vol.259, 2009, pp.40-46.
- [17] 조현민, "고휘도 LED 패키지 제조 공정과 기술 개발 동향," *High Power LED와 부품/소재/장비 및 특허 세미나 2008*, 산업교육연구소, 2008.