

# LTE 펌토셀 베이스밴드 SoC 기술 개발 동향

Trends of Baseband SoC Technology in the LTE Femtocell

김주엽 (J.Y. Kim)    통방융합SoC연구실 선임연구원  
 이주현 (J.H. Lee)    융합기술미래연구팀 책임연구원  
 구본태 (B.T. Koo)    통방융합SoC연구실 실장  
 엄낙웅 (N.W. Eum)    시스템반도체연구부 부장

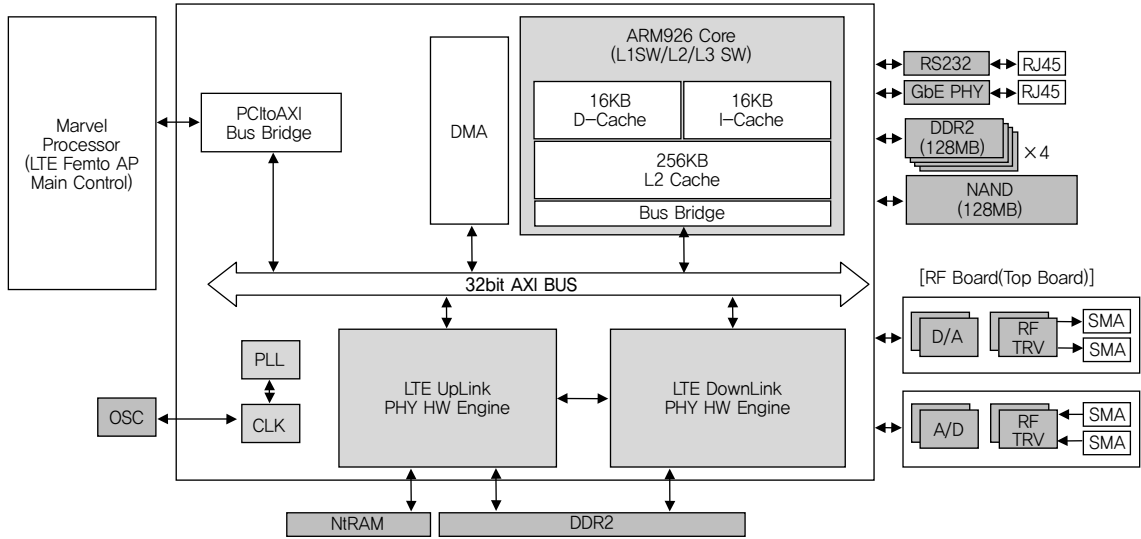
LTE 기반의 펌토셀 활용과 개발에 대한 요구는 LTE로의 이동통신 서비스가 본격화되면서, 최근 몇 년간 중요한 이슈로 자리매김하고 있다. 기지국 장비의 재설치와 주파수의 효율적인 활용 측면에서 펌토셀 기지국은 이동통신 서비스 사업자와 가입자에게 동시에 중요한 역할을 수행할 것으로 보인다. 이러한 펌토셀 기지국의 필요성을 충족시켜 주기 위해서는 펌토셀 기지국의 형상과 기능에서 그 본래의 요구를 만족시켜 주는 것이 중요하다. 무엇보다도, LTE 기반의 펌토셀 기지국은 기기의 간편한 설치와 매크로셀 기지국의 오프로딩이라는 역할을 충실히 수행할 수 있는지가 핵심적 평가 요소가 될 것이다. 이를 위해서는 펌토셀 기지국의 핵심 부품인 베이스밴드 SoC(System on a Chip) 성능 및 기능이 펌토셀 기지국 전체의 경쟁력을 판단하는 데 중요한 척도 중에 하나가 될 것이다. 본고에서는 이러한 관점에서 ETRI가 개발한 LTE 펌토셀 기지국의 베이스밴드 SoC를 중심으로 그 형상과 개발 과정을 기술하고 해외 업체들의 베이스밴드 칩셋의 형상과 개발 상황에 대해서 자세히 기술하기로 한다.

2013  
 Electronics and  
 Telecommunications  
 Trends

임베디드 소프트웨어 &  
 시스템반도체 기술 특집

- I. 서론
- II. ETRI LTE 펌토셀 기지국 베이스밴드 SoC
- III. LTE 펌토셀 베이스밴드 SoC 개발 과정
- IV. 국내외 개발 현황
- V. 결론





(그림 2) LTE 펌토셀 기지국 SoC 블록

송되는 패킷은 LTE 펌토셀 기지국의 하향링크를 통해 처리되고, 단말기로부터 수신받은 데이터는 상향링크를 통해 이더넷 유선망으로 연결된다. ETRI의 LTE 펌토셀 기지국 시스템은 이 두 링크를 베이스밴드 칩셋과 이더넷 연결을 위해 상용 프로세서(MarVell Processor)를 활용하여 구성하였다. 이 프로세서는 LTE 통신 링크 설정 뿐만 아니라, 펌토셀 시스템의 주변 장치 및 구성 장치에 속하는 GPS, IEEE 1588, LTE 베이스밴드 칩셋 등에 대한 설정과 동작을 제어하는 역할을 수행하게 된다.

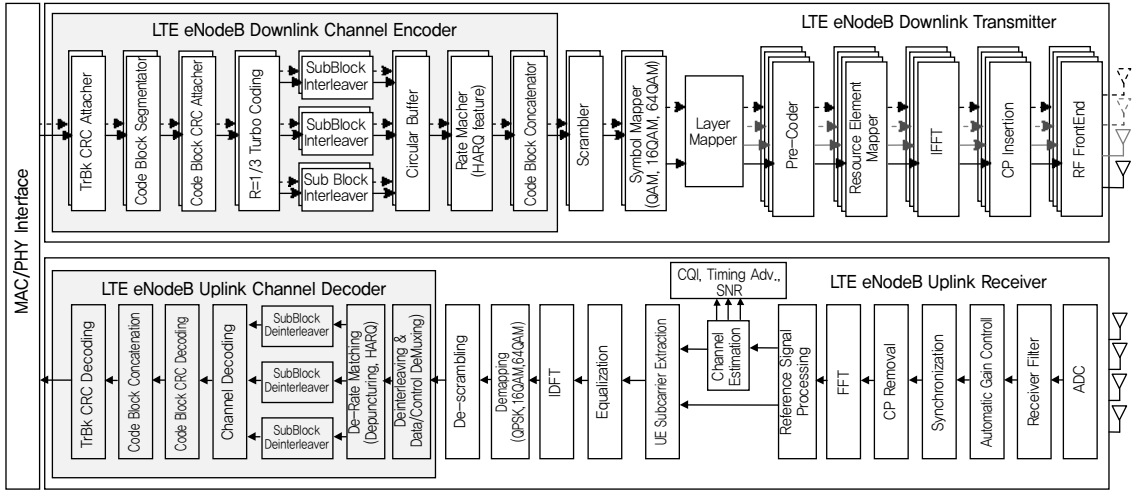
LTE 펌토셀 기지국 베이스밴드 SoC의 내부 구성은 상위 계층인 L2/L3 이상을 담당하는 ARM 코어(ARM926)와 하위 계층 L1 이하를 담당하는 전용 하드웨어 모듈 부분으로 나뉘게 된다. 상위 계층을 담당하는 ARM 코어 내부에는 RRC/PDCP/MAC 등의 상위 계층 LTE 표준 프로토콜 운용 프로그램이 실행되며, 동시에 하위 계층인 PHY(Physical Layer)를 제어하는 역할도 수행한다. 하위 계층은 모두 전용 하드웨어 IP 형태로 설계되어 있다. PHY의 하드웨어들은 상향링크(uplink)와 하향링크(downlink)로 나뉘어져 있으며, ARM 코어와 이 두 모듈은 AXI 기반의 인터페이스로 연결되어 있

다. 이러한 주요 모듈 이외에 주변 장치로서 DDR2, NAND, N1RAM, RF(ADC/DAC) 인터페이스를 갖고 있다. 주요 두 모듈과 내부 하드웨어 구성에 대해서는 다음 부분에서 더 상세히 기술하기로 한다.

ETRI에서 개발한 LTE 펌토셀 기지국 베이스밴드 SoC는 전력 소모를 최소화하려는 목적으로, 이미 상용화된 다른 제품과 달리 PHY를 담당하는 (그림 3)의 모든 모듈을 전용 하드웨어 IP들로 구성 및 설계하였다. PHY를 구성하는 전용 하드웨어 IP 블록들은 최적화를 위해 면적 및 성능에 대한 고려를 최우선으로 하였다.

### 1. 하향링크 Tx

LTE 펌토셀 기지국의 하향링크 Tx(Transmitter)는 단말기로 전송하기 위한 데이터를 LTE 표준의 하향링크에 속해 있는 채널들 규격에 맞게 변조하는 과정을 따라야 한다. 이더넷으로부터 전송된 패킷들에 대한 처리가 상위 계층에서의 처리가 완료된 후에 하향링크 각 채널에 맞는 채널 인코딩을 수행한다. 그리고 심볼 변조와 OFDM(Orthogonal Frequency Division Multiplexing) 처리를 위한 과정을 거친 후에 DAC를 통해 무선 신호가



(그림 3) LTE 펌토셀 기지국 PHY 모듈 구성

전송된다. 하향링크 Tx 부분의 채널 인코딩 내용은 ‘채널코덱’ 부분에서 다시 자세히 다루기로 하고 본 절에서는 채널 인코딩 이후의 부분을 설명하기로 한다.

하향링크 채널에서는 LTE 표준 문서에 기술되어 있듯이 PBCH, PCFICH, PDCCH, PDSCH, PHICH에 해당하는 각 채널의 변조 방식이 다르므로, 서브프레임(1ms) 단위로 ARM 코어로부터 하드웨어 동작에 대한 LTE 하향링크 파라미터를 설정하여 동작하게 된다. 하향링크 PHY 동작에 필요한 파라미터들은 물리적으로 각 모듈들이 접근 가능한 레지스터에 저장되고, 서브프레임 단위로 레지스터 값들이 갱신되어 각 모듈들의 동작에 반영된다.

하향링크 Tx 과정 중에 필요한 변조 기능 블록들은 비트 단위의 스크램블링을 수행하는 scrambler와 QAM, 16/64QAM 등의 심볼 변조를 수행하는 symbol mapper, MIMO 전송을 위한 layer mapper와 pre-coder, OFDMA 전송을 위한 resource mapper, IFFT, CP(Cyclic Prefix) insertion이 존재한다.

모든 채널별 데이터가 서브프레임 단위로 생성되고 리소스 블록 단위로 할당되면 DAC를 거쳐 RF transmitter로 전달된 후에 무선 신호로 전송하게 된다.

## 2. 상향링크 Rx

상향링크 Rx(Receiver)는 단말기로부터 전송된 상향링크 신호를 복조하는 역할을 수행한다. SC-OFDMA에 대한 복조 또는 디코딩 과정을 기본으로 하고 있다. LTE 표준의 상향링크 채널의 종류인 PUSCH, PUCCH, PRACH에 대해서 복조가 가능하도록 경로가 설정되어야 한다. 1ms의 서브프레임 단위로 레지스터에 하향링크 파라미터 값들이 설정되어 상향링크 Rx 동작이 갱신된다.

기본적으로 PUSCH 채널을 처리하는 패스가 상향링크 Rx 단의 메인 패스가 된다. PUSCH는 하향링크 파 트로부터 동기화되어 있는 1ms 서브프레임 신호를 기반으로 ADC(Analog to Digital Converter) 입력 신호를 심볼 단위로 나누어, 파워 조정을 수행한 후에 FFT에 입력시킨다. FFT 출력을 가지고 단말기별로 할당된 RB(Resource Block) 단위로 사용자 단말기별로 할당된 심볼 데이터가 추출된다. 심볼 데이터는 전송 채널의 왜곡으로 인해 변형된 값을 보상하기 위해 이퀄라이징을 수행하게 된다. 채널 보상 값은 DMRS 값을 통해 채널을 추정된 값을 바탕으로 한다. 이퀄라이징 결과 값은 DFT로 프리코딩된 값이므로, IDFT를 통해 다시 디코딩

을 수행한다. IDFT 결과값은 심볼 복조를 수행과 디스크램블링을 거친 후 채널 디코딩 부분으로 넘겨지게 된다. 채널 디코딩 부분은 ‘채널코덱’ 부분에서 다시 자세히 설명하기로 한다.

### 3. 채널 코덱

LTE 펌토셀 기지국 베이스밴드 채널 코덱은 하향링크 Tx의 채널 인코더와 상향링크 Rx 부분의 채널 디코더로 나뉘게 된다. 채널 인코더와 채널 디코더는 상향링크와 하향링크의 표준에 맞추어 설계해야 하므로, 각기 다른 채널 코딩 방식으로 설계되어야 한다.

하향링크 TX에 포함되어 있는 채널 또는 기능별로 구분하면 BCH, DL-SCH, PCH, MCH, DCI, CFI, HI로 나눌 수 있다. 모두 일곱 가지 채널 인코딩 방식으로 나눌 수 있지만, 실제로 BCH, DL-SCH/PCH/MCH, DCI, CFI, HI 다섯 가지로 묶어 설계하였다. 이는 각 채널별로 필요한 채널 인코더가 각각 컨볼루션 코딩, 터보 코딩, 블록 코딩으로 구분 가능하고 지연이나 성능 면에서 단독으로 할당되어야 하거나 공유가 가능한 채널 및 기능별로 그룹화하여 설계하였다.

상향링크 Rx에 포함되어 있는 채널들은 shared channel, control channel로 구분될 수 있다. Shared channel은 전송된 데이터의 특성에 따라 데이터 디코딩, CQI 디코딩, HARQ 디코딩으로 구분하여 설계하였는데, 이는 각 데이터 특성에 따라 채널 디코딩이 터보 디코딩, 비터비 디코딩, 블록 디코딩 등으로 표준에 구체화되어 있기 때문이다. 마지막으로 control channel 부분은 HARQ, CQI의 비트 디코딩으로 LTE 표준에 맞추어 설계하였다.

ETRI의 LTE 펌토셀 기지국 베이스밴드의 채널 코덱 설계는 DSP(Digital Signal Processor)나 범용 프로세서를 활용하지 않고 완전하게 전용 하드웨어 디자인으로 설계되어, 파워 소모 면에서 우수한 평가를 받을 수 있

을 것이다.

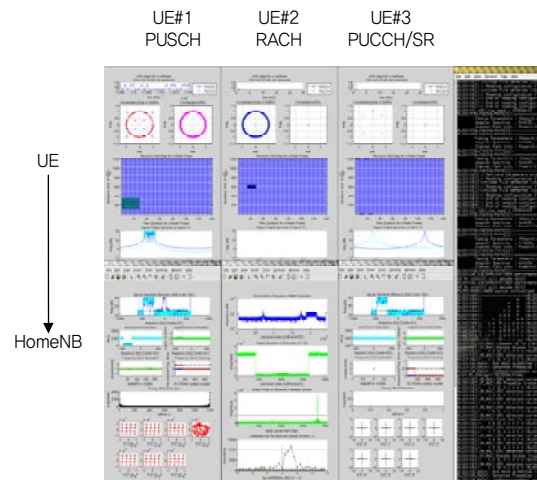
## III. LTE 펌토셀 베이스밴드 SoC 개발 과정

### 1. 상위 모델 설계

ETRI 펌토셀 기지국 베이스밴드 SoC를 설계하기 위해 LTE 표준에 맞는 상위 모델을 (그림 4)와 같이 PC 기반으로 시뮬레이터 형태로 디자인하였다. 적용된 언어로는 C++/MATLAB로 LTE 표준 규격에 맞추어 기능별 모듈화를 시도하였고, 하드웨어 설계를 위해 테스트 벡터 추출, 각 데이터 비트 폭 결정을 위한 성능 검증을 위한 레퍼런스 데이터 자료를 얻기 위한 목적으로 활용되었다.

특히, 상향링크 Rx의 설계에서는 채널 추정, 프리앰블 추정기 등에 대한 알고리즘과 구조를 결정하여 그 성능을 예측해 보기 위한 용도로 활용되었다.

상위 모델 설계를 기반으로 하여 하드웨어 설계가 이루어지므로, 상위 설계 모델에 대한 통합 검증, 상용 시뮬레이터와의 교차 검증 등이 충분히 이루어졌고, 검증할 수 있는 모든 경우의 수를 담을 수 있도록 검증 시나리오를 구상하여 반영하였다.



(그림 4) LTE 기지국 시뮬레이터

## 2. 하드웨어 설계

하드웨어 설계는 상위 모델 시뮬레이터를 기반으로 기능을 확립하고, 테스트벡터를 추출하여 동작 주파수를 30.72MHz, 61.44MHz, 122.88MHz별로 모듈화를 진행하였다. 30.72MHz 동작 주파수는 LTE 표준에 따라 샘플 데이터의 주파수이므로 기본 주파수로 확정되었다.

LTE 표준 규격에는 심볼(1/14ms), 슬롯(0.5ms), 서브프레임(1ms), 프레임(10ms)의 정해진 시간 단위가 있으므로 이 시간 범위와 입출력 지연 시간을 엄격하게 지켜서 설계해야 한다.

뿐만 아니라, 상향링크, 하향링크는 LTE 표준 규격에 따라 각 채널별 응답 시간 및 지연 시간이 규격화되어 있으므로 설계 시에 모든 응답 시간, 지연 시간을 표준 규격서의 기준에 맞추어 설계해야만 한다.

하드웨어 설계는 상위 모델 설계를 통해 만들어진 시뮬레이터를 기반으로 모듈화를 완성한 것을 HDL (Verilog-HDL, VHDL)로 기술하여, 상위 모델의 입출력 결과값과 비교하는 HDL 시뮬레이션 과정을 거친다. 이때, 일차로 FPGA(Field-Programmable Gate Array)로의 합성이 가능하게 HDL을 기술하고 FPGA 검증이 모두 완료된 이후에 ASIC(Application Specific Integrated Circuit)으로의 합성을 시도하기 위한 두 번째 HDL 수정 작업이 이루어졌다. LTE의 표준에 규정되어 있는 많은 파라미터와 그에 맞는 동작을 검증하기 위해서는 실제로 느린 PC상의 시뮬레이션 작업으로 설계된 하드웨어 모듈들에 대한 신뢰도를 담보하기 힘들다. 그렇기 때문에, FPGA를 통한 단말기와의 연동 실험을 통해 실시간 테스트 작업을 수행하게 되었다.

## 3. 검증 및 테스트

전체 펌토셀 기지국 시스템은 상위 모델 수준에서의 검증, 하드웨어 구현 후에 검증으로 나뉜다. 하드웨어

구현 검증은 FPGA 검증과 ASIC 검증으로 다시 나뉘어 진행 되었다.

상위 모델 검증은 PC 기반으로 시뮬레이션 환경을 갖추고 내부의 구현된 모듈들이 각기 통합적으로 동작하는지 확인하기 위한 목적과 동시에 하드웨어 설계를 위한 테스트벡터 추출을 위한 두 가지 목적을 가지고 있다. PC상의 시뮬레이션 환경에서의 검증 작업은 그 속도 때문에 일정한 한계를 가지고 있다. LTE의 상위 계층에서 동작하는 프로그램들과 하위 계층에서 동작하는 계산 집중 기능 블록들을 PC 환경에서 가속시키기에는 그 복잡도가 너무 크기 때문에 실시간으로 확인이 어렵다. 그래서 상위 모델 수준의 시뮬레이터는 LTE 표준의 대표적인 규격들에 대해서 짧은 시간 구간을 잡아 검증을 각각 완료하였다. 이는 하드웨어를 구성하는 모듈화를 위한 작업과 FPGA 검증 시에 필요한 비교 데이터를 생성하기 위한 목적을 기본으로 갖고 있기 때문이었다.

FPGA 검증은 상위 모델 수준의 시뮬레이터와 HDL 시뮬레이션에서 수행된 설계 검증이 불충분할 수 밖에 없다는 근본 한계를 극복하고 ASIC 구현에 대한 신뢰성을 담보하기 위해 반드시 필요한 과정이다. LTE 표준 규격에서 하위 계층과 관련된 파라미터와 테스트 시나리오에 대한 경우의 수가 너무 많기 때문에 실시간 테스트 환경을 갖추고 있지 않을 경우, 단순한 PC상의 느린 시뮬레이션 환경에서 테스트 커버리지를 높이는 것은 실로 불가능하다고 하겠다. 뿐만 아니라, 대부분의 이동통신 표준 규격에서 상위 계층에서 기술하고 있는 단말기와 기지국 사이의 프로토콜 형태로 테스트와 검증 과정을 설명하고 있으므로, 크기는 여러 프레임에서 작게는 하나의 서브프레임 단위의 관측 시간이 필요하므로, FPGA 기반의 실시간 보드 검증은 펌토셀 기지국 SoC 개발에서는 가장 중요한 지점이며, 가장 많은 시간이 투입되는 부분이다.

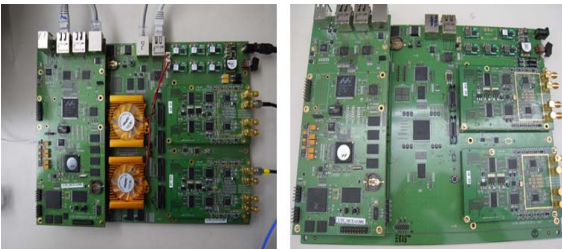
FPGA 검증 과정에서는 상위 계층의 프로토콜 프로그



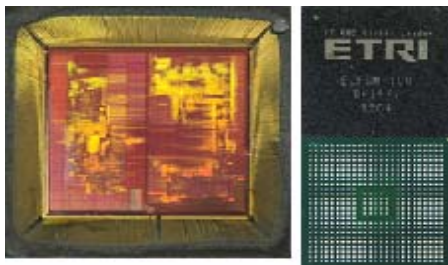
램과 하위 계층의 하드웨어, 뿐만 아니라 펌토셀 기지국을 구성하는 모든 장치의 연동 실험이 이어지므로 사전에 예측하지 못한 많은 문제들이 발생하게 되어 하드웨어의 구성 및 개개의 모듈에 대한 재설계 등이 발생할 수 있다.

본 작업에 활용된 FPGA는 Xilinx Virtex6 LX550T이며, 상향링크와 하향링크로 분할하여 2개의 FPGA에 나누어 (그림 5)의 보드상에서 타깅팅을 수행하였다. 입력 클럭 주파수는 61.44MHz로 IEEE 1588, GPS, 로컬 오실레이터 등으로 선택적 동기화가 가능하게 만들었다. 송수신 RF 관련 Tx는 상용 제품을 활용하여 보드상에서 모듈화를 하여 활용하였다. ADC/DAC의 I/Q 데이터의 샘플링 주파수는 61.44MHz로 입출력이 동기화되어 있다.

ETRI에서 개발한 펌토셀 기지국 SoC를 위해 FPGA 검증 상황에서 발견된 많은 문제를 수정하였고, ASIC 형태로 HDL을 수정 작업 후에 SMIC 0.13 $\mu$ m 공정으로 (그림 6)의 싱글 칩으로 보드 테스트를 FPGA 테스트 환경과 동일하게 수행하였다.



(그림 5) ETRI 펌토셀 기지국 SoC 플랫폼



(그림 6) ETRI 펌토셀 기지국 SoC

## IV. 국내외 개발 현황

### 1. 국내

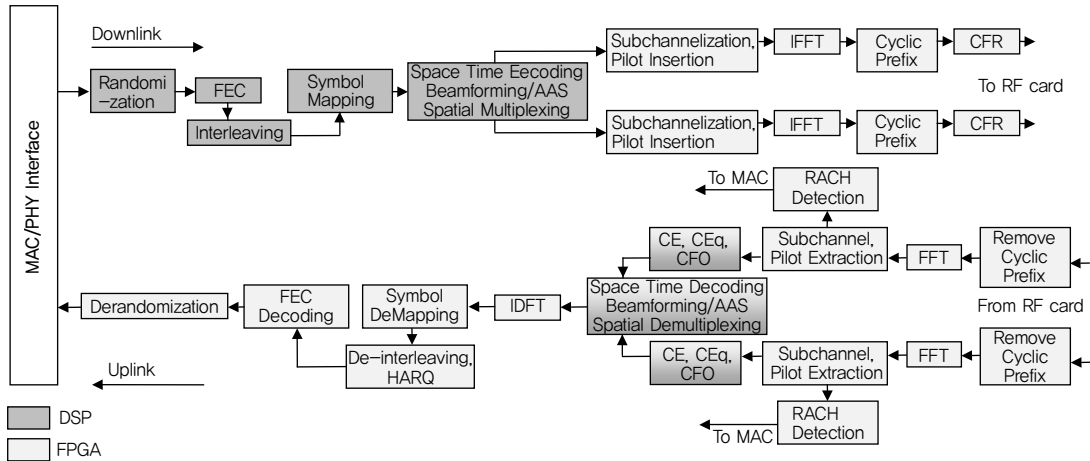
국내 펌토셀 기지국 베이스밴드 SoC를 개발하는 기업과 산업체는 현재까지 공개적으로 보고되고 있지 않다. 국외 칩셋을 이용하여 LTE 펌토셀 기지국 기기를 이동통신 서비스 업체와 같이 개발하는 사례는 최근에 몇몇 보도를 통해 보고되고 있다. 하지만 펌토셀 기지국 베이스밴드 칩셋을 개발한 사례가 알려져 있지는 않다. ETRI에서는 앞서 설명한 형태의 PHY를 전용 하드웨어로 IP화하는 작업이 수행되었다.

### 2. 국외

국외 업체는 미국을 중심으로 LTE의 PHY를 개발하기 위한 IP 공급 업체들과 칩셋 전체를 상용화하여 판매하고 있는 회사들이 있다. 구조적인 형태는 DSP와 범용 프로세서를 활용하여, 사용자에게 의한 프로그램 가능한 구조를 지향하는 것으로 보인다. 이는 개발 과정에서의 디버깅이 수월하다는 장점을 이용하고 LTE 표준 규격 구현의 편의성을 확보하기 위한 전략에서 비롯된 것으로 보인다. 반면, 이러한 형태는 전력소모를 높일 수 있는 단점과 프로그램 최적화를 위한 노력이 필요하게 된다. 다음 절에서는 국외 기업의 펌토셀 기지국 베이스밴드 SoC 솔루션에 대해서 알아보기로 한다.

#### 가. Altera

FPGA 제조사로 유명한 Altera는 LTE 베이스밴드 IP 블록들을 자사의 FPGA 기반으로 설계, 검증할 수 있는 환경을 제공하고, 각종 IP들을 ASIC 형태로 변환할 수 있는 디자인 툴킷 기반 플로우를 갖추고 있다. FPGA와 DSP를 이용한 개발 도구를 활용한 대표적인 예로써, 자사의 'DSP/FPGA system partitioning' 플랫폼을 제안하고 있다[1].



(그림 7) Altera사의 DSP/FPGA 혼합 OFDMA 시스템

(그림 7)은 Altera가 제안하고 있는 ‘DSP/FPGA partitioning’을 이용한 WiMAX와 LTE에서 활용할 수 있는 OFDMA PHY 구현 블록을 설명하고 있다.

Altera는 베이스밴드의 성능을 최대화하기 위해서 ‘Bit-Level processing’과 ‘Symbol-Level processing’ 영역으로 나누어 기능별로 DSP와 FPGA에서 동작할 모듈을 구분하였다. OFDMA의 PHY에서 그 기능이 정형화되어 있으나, 전력 소모를 줄여야 되거나 충분히 고성능을 유지해야 하는 기능 블록들은 대부분 FPGA를 활용한 전용 하드웨어 IP로 설계하였고, 그 이외의 기능 블록들은 DSP를 통한 프로그램 가능한 형태로 구현하였다.

Altera가 추구하는 디자인 및 플랫폼 전략은 고성능의 프로세싱 능력(Processing Bandwidth), 가변적 표준 규격 환경에서의 프로그램 가능한 플랫폼 구축(Flexibility), 저비용의 플랫폼 구축(Cost-Reduction Path)을 기초로 하여 본 플랫폼이 개발되었다는 것을 공개된 자료에서 설명하고 있다[1].

#### 나. Freescale

Freescale은 엔터프라이즈급에서 소호급까지 다양한 펌토셀 기지국 베이스밴드 제품군을 가지고 있다. 그중에,

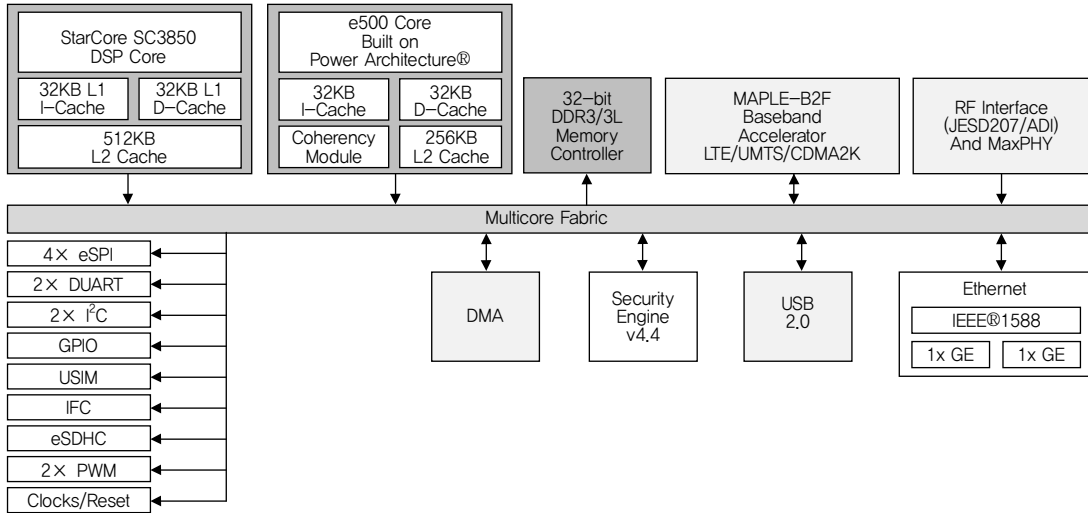
BSC9131이라는 제품명으로 소형급(small-to-medium business) 펌토셀 베이스밴드를 제공하고 있다. FDD/TDD LTE(Rel. 8/9)와 WCDMA(Rel. 99/6/7/8), CDMA2k/EV-DO 표준에 맞게 동작 가능하며, 듀얼 모드로 동작될 수 있다. 싱글 모드에서는 LTE가 16명의 사용자를, HSPA 또한 16명의 사용자를 지원할 수 있다. 듀얼 모드 동작 시에는 LTE와 HSPA가 각각 8명씩 지원 가능하다[2].

(그림 8)과 같이 Freescale은 L2/L3는 e500이라는 프로세서를 활용하였고, L1에서는 StarCore SC3850이라는 DSP를 적용하여 전체적으로 PHY 계층에 대해 프로그램 가능한 베이스밴드가 되도록 설계하였다. MAPLE-B2F, Security(IPSec, Kasumi, Snow-3G)라는 전용 하드웨어 IP 블록을 활용한 가속기 모듈들이 추가되어 성능을 높여 주는 역할을 하고 있는 것으로 보인다. 이외에 주변 연결장치가 인터페이스 및 컨트롤러, DMA가 multicore fabric이라는 인터페이스를 중심으로 연결되어 있다.

#### 다. MindSpeed

펌토셀 기지국 베이스밴드 칩셋 개발에 오랫동안 투





(그림 8) Freescale사의 BSC9131 프로세서

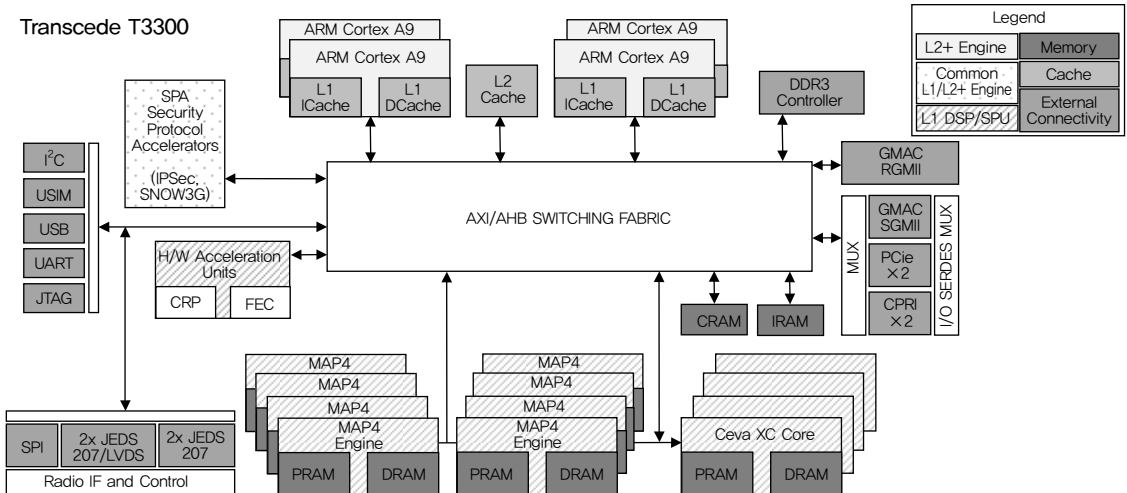
자해 온 회사로 영국의 PicoChip을 흡수 합병하면서, 그 경쟁력을 배가시키고 있다.

WCDMA 펌토셀 기지국부터 시작하여, 최근까지 WCDMA+LTE 통합 베이스밴드 칩셋을 선보이면서, 펌토셀 기지국을 도입하려는 이동통신 서비스 업체와 펌토셀 기지국 제조 회사들에게 적극적인 마케팅을 시작하고 있다. 특히, MindSpeed는 국내 이동통신 서비스 업체의 펌토셀 시스템의 기본 칩셋으로 다수의 회사에

서 활용될 전망이다.

MindSpeed사의 펌토셀 기지국 베이스밴드 제품군은 T2x00, T33xx, T4000 등으로 발전하고 있다.

T2200 칩은 MindSpeed가 LTE 전용 펌토셀 베이스밴드 칩으로 듀얼코어 ARM Cortex-A9 1GHz를 탑재하고 있으며, CEVA DSP XC323 1GHz 2개, MAP4 (MindSpeed Application DSP)라는 이름의 DSP도 4개를 내장하고 있다. 전용 하드웨어 블록 IP로는 Security,



(그림 9) MindSpeed사의 T3300 베이스밴드 칩

FEC(Forward Error Correction) 정도인 것으로 보인다[3].

(그림 9)와 같이 MindSpeed는 3G와 LTE를 동시에 구동하기 위한 듀얼 모드 펌토셀 기지국 베이스밴드 칩으로 T3300 제품을 내놓았는데, 이는 앞서 설명한 T2200 내부를 형상적으로 두 배로 확장한 듯하다.

MindSpeed는 전용 하드웨어 블록 적용을 최소화하고 대신에 프로그램 가능한 프로세서 타입의 ARM 코어나 DSP를 활용한 칩셋 구성을 선호하는 것으로 보인다. 이러한 전략은 3G, LTE, 3G+LTE 기지국 칩 내부의 형상을 살펴보았을 때, 판단 가능하며, 일반적으로 프로그램 가능한 프로세서 타입으로의 칩 구성은 개발 기간의 단축과 기지국 시스템 개발자가 선호하는 구성이다.

### 라. Qualcomm

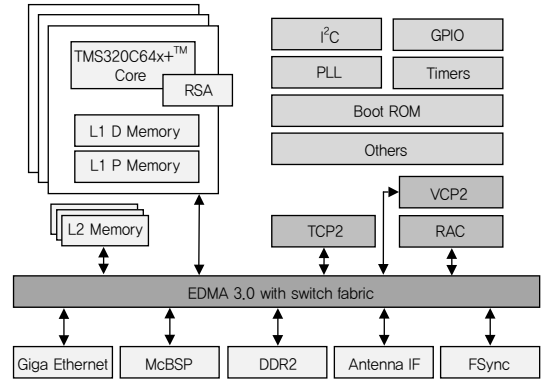
이동통신 베이스밴드의 대표적인 펌토셀 업체로서, LTE 펌토셀 기지국 베이스밴드에도 많은 연구개발 투자를 하고 있다. 최근에 이스라엘의 스몰셀 기지국의 베이스밴드 개발 회사인 DesignArt Network를 합병함으로써, 펌토셀 기지국 베이스밴드 개발에 박차를 가하는 모양새다.

Qualcomm은 'FemtoCell Station Modem(FSM98xx)' 이라는 제품명으로 펌토셀 기지국 베이스밴드 칩셋을 판매하고 있다. 이미, 단말기 시장에서 그 성능이 검증된 1GHz의 스냅드래곤 ARM 코어 기반에서 동작한다. 3GPP HSPA+와 3GPP2 DorA/DorB/1X 표준까지 함께 서비스할 수 있는 장점을 가지고 있다[4].

### 마. Texas Instruments(TI)

OMAP, Davinci와 같은 SoC 플랫폼으로 유명한 TI는 자사의 강력한 DSP 멀티코어 기술로 펌토셀 기지국 베이스밴드 칩셋 솔루션도 제공하고 있다.

TI는 (그림 10)과 같이 TCI6489 DSP를 기반으로 하는 펌토셀 기지국 베이스밴드 칩셋 플랫폼을 제안하였다. 2.55GHz에서 동작하는 TCI6489 DSP 코어 3개를



(그림 10) TI사의 TCI6489 펌토셀 기지국 칩

사용하여 ISO layer1부터 layer3까지 동작시킬 수 있는 성능을 제공한다. 이외에도 WCDMA에서 적용 가능한 RAC(Receive Accelerator Coprocessor), RSA(Rake Search Accelerator) 등의 WCDMA 표준에서 적용 가능한 전용 하드웨어 가속기를 내장하고 있고, 채널상의 오류 정정을 위한 채널 코덱 하드웨어 가속기로 VCP2(Viterbi Coprocessor)와 TCP2(Turbo Coprocessor)를 내장하고 있어, 계산 집약적인 기능들에 대해서는 DSP의 오프로딩이 가능하게 설계되어 있다[5].

TI의 three-core TCI6489 베이스밴드 플랫폼은 펌토셀 기지국 시스템 개발자를 위한 SoC 또는 부품 환경을 제공하기 위한 목적으로 개발되어, 현존하는 2G/3G 그리고 4G의 표준들인 GSM, CDMA, WCDMA, TD-SCDMA, WiMAX와 LTE를 모두 구현 가능하도록 설계되어 있어, time-to-market을 최소화하는 쪽으로 개발 전략을 의도하였다고 밝히고 있다.

## V. 결론

LTE 펌토셀 기지국 베이스밴드 칩셋은 펌토셀 기지국 기기 시스템이 현재 사용되고 있는 무선 인터넷 AP 수준으로 작아져야 하고 저비용의 간편한 설치가 요구된다. 뿐만 아니라, 복잡한 LTE 표준 내의 상위 계층에

서 하위 계층의 모든 규격을 만족해야 하고 전력 소모 문제까지 고려해야 한다. 이를 위해서는 펌토셀 기지국의 핵심 부품인 베이스밴드 칩셋을 SoC화하여 효과적으로 개발하는 것이 개발 주체의 숙제이다. 본고에서는 ETRI에서 개발한 LTE 펌토셀 기지국 베이스밴드의 내부 구조와 개발 과정을 설명하였고, 국외의 주요 베이스밴드 개발회사들이 현재 개발, 판매하고 있는 SoC의 특징들도 알아보았다.

현재 펌토셀 기지국 베이스밴드 SoC들의 특징은 하나의 칩에서 다중 모드로 동작할 수 있어야 하고, 표준 규격의 변경에도 약간의 프로그램 수정을 통하면, 칩 내부 구성 형상을 그대로 유지할 수 있는 방식을 취하고 있다. 이러한 방식은 칩셋 개발을 플랫폼화하여 급변하는 이동통신 시장의 요구에 빠르게 대응할 수 있는 팹리스 회사들의 전략적 선택에서 기인한 것으로 보인다. 그러나 베이스밴드 칩의 전력 소모나 동작 성능에 대한 최적화 등의 기술적인 문제들은 우선순위에서 뒤로 밀려나 있는 느낌이다. 향후, LTE에서 LTE-Advance로의 진화가 본격화되면, 펌토셀 기지국은 LTE-Advance 표준에 따라 변조와 복조의 처리 능력이 대체로 다섯 배 이상으로 증가해야 한다. 이는 현재 형상의 펌토셀 기지국 베이스밴드 SoC의 새로운 도전이 될 것이고, 현재의 펌토셀 기지국 베이스밴드와는 다른 방식의 형상을 요구할 수도 있다. 이러한 측면에서, 펌토셀 기지국 베이스

밴드 SoC의 기술이 정형화되어 있거나 일반화되어 있지 않고 앞으로 계속 진화해야 하는 숙제를 안고 있다.

## 약어 정리

ADC	Analog to Digital Converter
AP	Access Point
ASIC	Application Specific Integrated Circuit
CP	Cyclic Prefix
DSP	Digital Signal Processor
FEC	Forward Error Correction
FPGA	Field-Programmable Gate Array
GPS	Global Positioning System
IP	Intellectual Property
LTE	Long-Term Evolution
MAP4	MindSpeed Application DSP
OFDM	Orthogonal Frequency Division Multiplexing
PHY	Physical Layer
RAC	Receive Accelerator Coprocessor
RB	Resource Block
RSA	Rake Search Accelerator
Rx	Receiver
SoC	System on a Chip
TCP	Turbo Coprocessor
Tx	Transmitter
VCP	Viterbi Coprocessor

## 참고문헌

- [1] Altera, "DSP-FPGA System Partitioning for MIMO-OFDMA Wireless Basestations," Ver. 1.0, Oct. 2007. <http://www.altera.com/literature/wp/wp-01043.pdf>
- [2] Freescale, "Next-Generation Wireless Network Bandwidth and Capacity Enabled by Heterogeneous and Distributed Networks," Rev. 2, Sept. 2012. [http://cache.freescale.com/files/32bit/doc/white\\_paper/QORIQONVERGEWP.pdf](http://cache.freescale.com/files/32bit/doc/white_paper/QORIQONVERGEWP.pdf)
- [3] MindSpeed, "Transcede T33xx Family of Wireless Application Processors," 2012. [http://www.mindspeed.com/assets/001/T3300\\_Product\\_Brief\\_v005.pdf](http://www.mindspeed.com/assets/001/T3300_Product_Brief_v005.pdf)

### 용어해설

**Baseband SoC** 기저 대역 신호의 송수신의 효율성을 높이기 위해 채널코딩을 포함한 모든 변복조의 과정을 하나의 칩으로 구현한 부품

**Fabless** 반도체 제조 공정 중에 하드웨어 소자의 설계 데이터만 판매하거나 제조 자체의 공정은 반도체 제조 공장을 소유하고 있는 회사에 위탁하여 반도체를 생산하는 회사

**FemtoCell** 기존의 매크로셀이 담당하는 범위보다 훨씬 작은 범위인 가정이나 사무실 영역에서 이동통신 서비스를 제공하는 기술

**IP** "Intellectual Property"의 약자이며 반도체 설계 자산을 통칭하거나, 반도체 설계 디자인 내부를 버스와 같은 인터페이스 단위로 구분할 때, 나누어진 블록을 일컫음.

[4] Qualcomm, "FemtoCells," Aug. 2011, <http://www.qualcomm.com/media/documents/files/fe-femto-cell-the-next-performance-leap.pdf>

[5] A. Friedmann, M. Patel, and S. Ramroop, "Innovative DSP Technology with RISC Virtualization," 2010. <http://www.ti.com/lit/wp/spry126a/spry126a.pdf>