

플립 칩 본딩 기술의 최신 동향

Recent Trends of Flip Chip Bonding Technology

최광성 (K.-S. Choi) Ⅱ 융합부품연구실 책임연구원
 이학선 (H. Lee) Ⅱ 융합부품연구실 연구원
 배현철 (H.-C. Bae) Ⅱ 융합부품연구실 선임연구원
 엄용성 (Y.-S. Oem) Ⅱ 융합부품연구실 책임연구원

미래 부품소재기술 특집

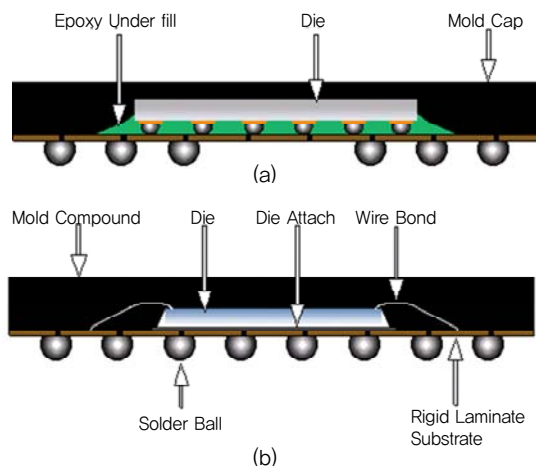
- I. 서론
- II. 본론
- III. 결론

플립 칩 본딩 기술은 1960년대에 개발된 기술이지만 가격 경쟁력, 경박단소(輕薄短小)의 부품 구현, 뛰어난 전기적 특성으로 인해 최근에 와서 다시금 주목 받고 있고, 관련 시장이 지속적으로 성장하고 있는 분야이다. 기술 응용 분야로는 스마트폰, 태블릿 PC 등 개인 휴대 단말기에서 고성능 서버, 게임 컨트롤러 등 다양한 제품을 아우르고 있다. 미세 피치의 경우 관련 시장이 2018년까지 연평균 35%의 폭발적인 성장을 보일 것으로 예측되고 있다. 따라서, 국내외 기업, 연구소, 학계 등에서 활발한 연구 활동이 진행되고 있다. 본고에서는 플립 칩 본딩 기술의 세부 기술을 살펴보며 동시에 피치에 따라 각 세부 기술에 있어 최근에 개발되고 있는 기술 동향을 논의하고자 한다.

1. 서론

1. 플립 칩 본딩 기술의 개요

플립 칩 본딩(Flip Chip Bonding) 기술은 (그림 1 (a))에서 나타난 바와 같이 칩을 뒤집어서 기판이나 다른 칩에 붙이는 기술이다[1]. 플립 칩 본딩 기술은 1964년 IBM에서 C4(controlled collapse chip connection)라는 명명 하에 처음으로 도입되었고 2000년에는 전세계적으로 생산된 웨이퍼의 약 3% 정도가 플립 칩 본딩에 사용되었다. 2009년부터는 200에서 700개 정도의 I/O (input/output)를 갖는 칩에서는 대부분 적용되는 범용화된 기술이다[2]. 이 기술은 패키징 분야에서 전통적으로 사용되고 있는 와이어 본딩(wire bonding)과 같이 칩과 기판을 전기적으로 이어주는 인터커넥션 기술이다 ((그림 1 (b)참조)). 와이어 본딩에 사용되는 칩 위의 금속 패드 배치는 일차원적인데 반해 플립 칩 본딩은 금속 패드들의 배치가 2차원적으로 배열되므로 기판과 연결할 수 있는 금속 패드들의 수가 제공승으로 늘어난다는 장점이 있다. 이로 인해 I/O수가 많은 칩들의 전기적 신호 연결에 거의 유일한 인터커넥션 기술이라 할 수 있다. 플립 칩 본딩의 접합부의 길이는 수십 μm 정도로



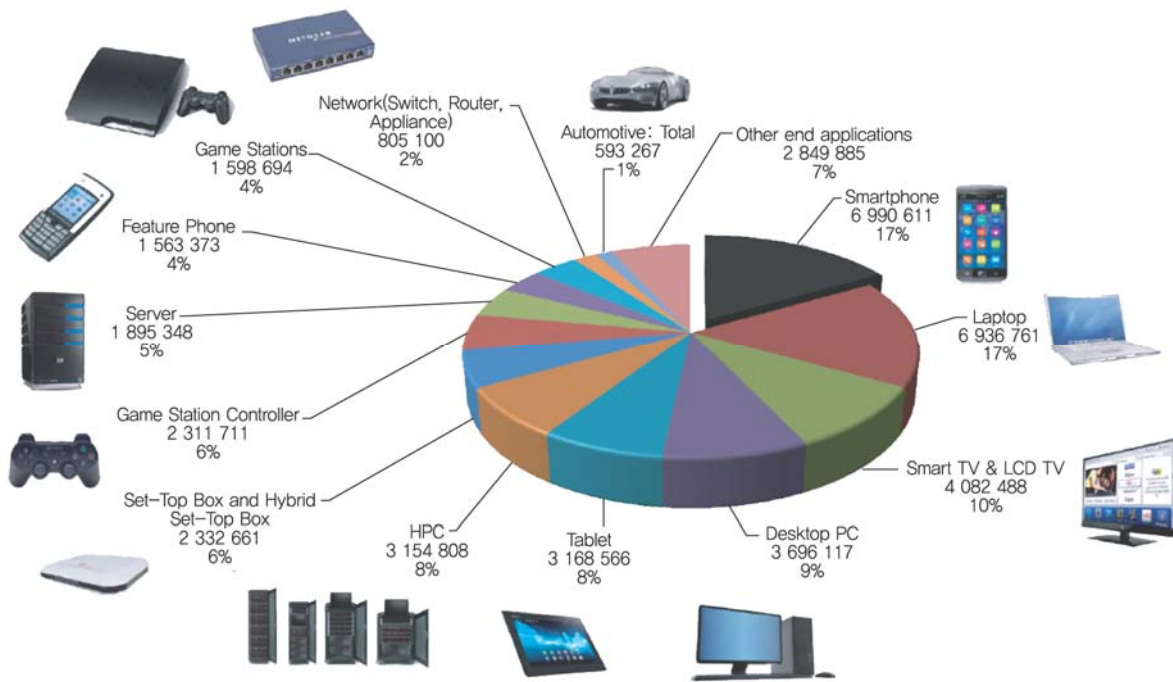
(그림 1) (a) 플립 칩 본딩과 (b) 와이어 본딩 기술이 적용된 BGA(Ball Grid Array) 패키지 단면도[1]

와이어 본딩에 사용되는 와이어 길이보다 약 10배 이상 짧다. 이로 인해 본딩 후 접합부의 기생 성분이 줄어들어 고속 신호 처리가 필요한 디지털 분야 혹은 RF에서 신호도가 높은 인터커넥션 기술이다. 최근에는 귀금속 소재의 가격 상승으로 인해 본딩 접합 부의 길이가 짧은 플립 칩 본딩이 I/O가 많은 칩을 위한 저비용 인터커넥션을 구현할 수 있기 때문에 각광 받고 있다. 마지막으로 IR(Infrared) 센서 혹은 X-ray 센서와 같이 2차원적인 신호를 받아 ROIC(Readout Integrated Circuit)에 각각의 픽셀 신호를 전송해야 하는 경우 플립 칩 본딩 기술은 다채널의 낮은 기생성분을 제공하는 장점이 있어 관련 분야에 폭 넓게 적용되고 있다.

이러한 장점으로 인해 2012년 전세계 플립 칩 시장은 200억불의 시장 규모로 성장하였다. 범프가 형성된 웨이퍼의 50% 정도가 노트북이나 컴퓨터에 사용되고 있고 주된 칩들은 GPU(Graphic Process Unit), CPU, 그리고 chipset이다. 2018년에는 약 350억불의 시장으로 성장하여 약 650억 개의 IC에 범프가 형성될 것으로 예상된다. 가장 큰 응용 분야는 스마트 폰으로 범프가 형성된 웨이퍼의 약 20%가 적용될 것으로 예상된다. 2010년부터 2018년까지 플립 칩 본딩 시장의 연평균 복합 성장률(CAGR: Compound Annual Growth Rate)은 웨이퍼 기준 19%이고, 이중 고부가가치 제품에 적용되는 Cu pillar 및 마이크로 범프의 경우 성장률이 35%로 폭발적인 성장이 예상된다[3].

(그림 2)는 2018년에 플립 칩 본딩 기술이 적용되는 제품들을 보여준다[3]. 스마트 폰과 노트북 등 개인용 휴대기기에 가장 많이 적용되며 스마트 TV, 컴퓨터, 태블릿 PC, 셋톱 박스, 게임 스테이션 컨트롤러 등 미래의 가정용 IT 제품에 주로 적용될 것임을 보이고 있다. 이는 초고속, 저비용, 초소형 등 미래의 가정용 IT 제품이 요구하는 바를 플립 칩 본딩이 만족시킬 수 있는 특성을 가지고 있기 때문이다.

<표 1>은 ITRS(international technology roadmap



(그림 2) 2018년도의 플립 칩 본딩 적용 제품[3]

〈표 1〉 2012년도 ITRS 플립 칩 본딩의 기술 로드맵[4]

Year of Production	2012	2013	2014	2015	2016	2017	2018
Flip Chip Pitch							
Flip Chip Array, low end & consumer	200	180	180	150	150	150	150
Flip Chip-mobile products	135	120	120	110	110	100	100
Flip Chip peripheral(1 on 2 row+center)-mobile and chip to chip array applications	40	40	40	40	35	35	35
Flip Chip-cost performance	130	130	120	120	120	110	110
Flip Chip-high performance	150	130	130	120	120	120	110

for semiconductors)에서 2012년에 발표한 플립 칩 본딩 관련 기술 로드맵을 보여준다[4]. 이에 따르면 일반적인 제품의 경우 2018년까지 150 μ m 이상의 넓은 피치가 범용적으로 사용될 것으로 예측된다. 모바일을 비롯한 고성능이 요구되는 제품의 경우 피치가 2013년도에 이미 130 μ m 이하의 미세 피치가 적용되고 있고, 이보다 작은 미세 피치에 대한 개발 방향은 지속적으로 유지되고 있음을 알 수 있다. 여기서 기술적으로 중요한 숫자는 피치 150 μ m와 100 μ m이다. 이는 이보다 작은

피치에서 기술적으로 큰 변화가 발생하며 이로 인해 고부가가치의 소재, 장비, 공정 기술이 요구되기 때문이다. 구체적인 것은 본문에서 살펴보기로 하겠다. 〈표 1〉에서 주목해야 하는 것 중에 하나는 칩과 칩을 적층하는 것으로 이는 주로 TSV(Through Silicon Via)를 활용하여 플립 칩 본딩 공정으로 칩을 적층하는 것을 의미한다. 이 기술은 일반적으로 3차원 혹은 2.5 차원 IC 집적 기술로 불리며 이 경우 피치가 일반적인 것에 비해 매우 작음을 알 수 있다. 2013년에 이미 40 μ m대의 미세 피

치로 생산이 되고 있다. 이와 같은 미세 피치로 인해 일반적인 플립 칩 본딩에서 적용된 소재, 장비, 공정 기술이 아닌 새로운 기술이 개발되고 있다. 안타까운 것은 이러한 고부가가치 기술과 관련된 소재 및 장비가 모두 해외에서 수입되고 있는 실정이라는 사실이다.

2. 플립 칩 본딩 공정

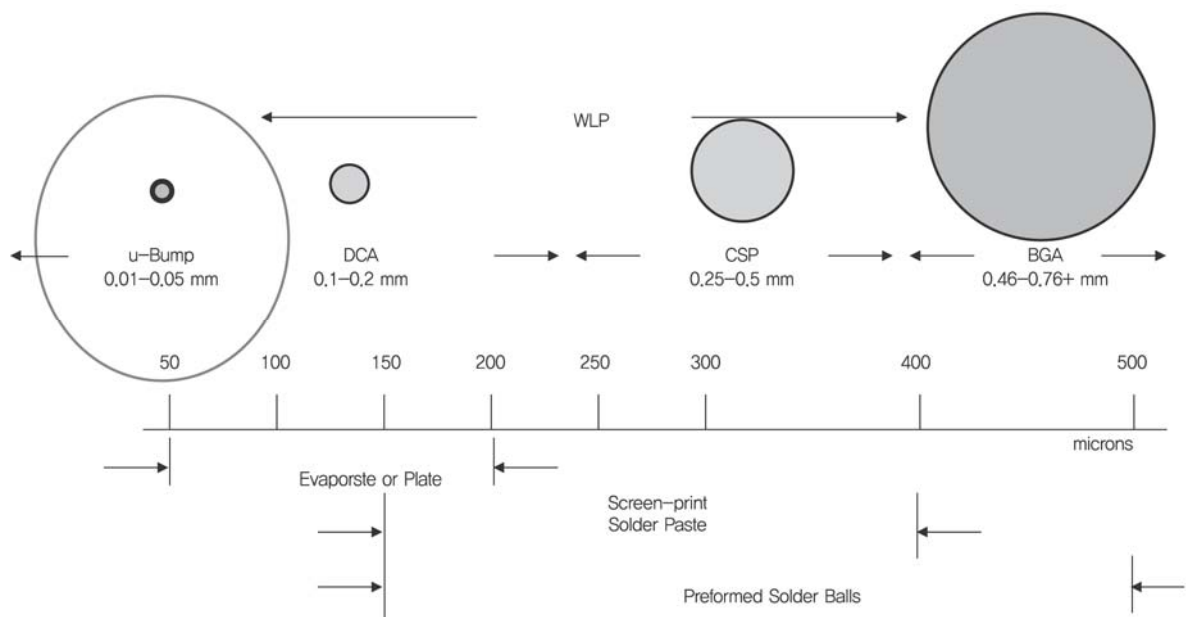
플립 칩 본딩 공정은 일반적으로 1)웨이퍼 상에 UBM(under bump metallization) 형성 공정, 2)범프 형성 공정, 3)본딩 공정, 4)언더 도포(underfill) 및 경화 공정으로 이루어진다.

UBM은 솔더가 반응할 수 있는 표면으로 기능하며 동시에 디바이스 상의 금속 층을 보호하는 역할을 수행한다. 또한, electro-migration 등의 신뢰성에 악영향을 미치는 요인을 막는 역할을 수행한다. UBM 구조는 회사와 응용분야에 따라 다르며 일반적으로 접착층(adhesion layer)/확산 방지층(diffusion barrier layer)/솔더와의 반응층으로 구성되어있다. UBM과 관련된 연

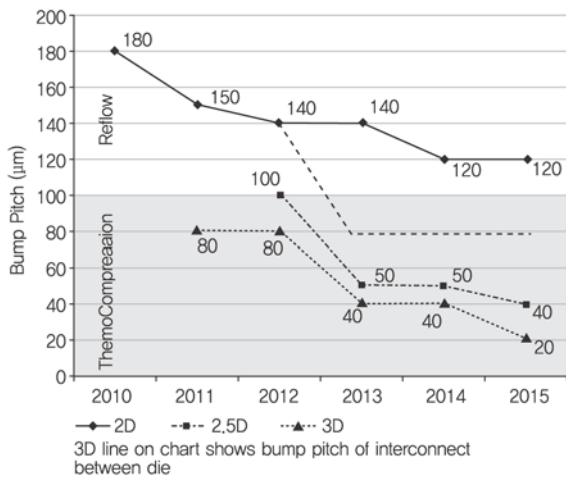
구는 상당 부분 진척이 되어 있어서 ITRS에서는 15년 이상 큰 변화가 예상되지 않는다고 예측하였다[4].

솔더 범프를 형성하는 기술은 stencil printing, ball drop, laser jet, sphere transfer, C4NP(Controlled Collapse Chip Connection New Process), wire bonding 공정을 응용한 Au stud bumping, evaporation, 전기 도금 등 다양한 방법이 있다. 범프 피치가 150 μm 이상인 경우에는 비용이 저렴한 솔더 페이스트를 활용한 stencil printing 기술이 폭 넓게 적용되고 있다. 그 이하의 범프 피치에서는 마스크 제작의 어려움, 솔더 페이스트의 빠짐성 문제로 인한 범프의 균일도 문제 등으로 stencil printing 기술의 적용이 어렵다. 이에 대한 대안으로 여러 가지 기술이 경쟁을 하고 있는 상황으로 저비용, 양산성, 신뢰성을 갖는 범핑 공정을 구현하기 위해 활발한 연구가 진행되고 있다. (그림 3)은 솔더 범프 크기에 따른 응용 및 범프 형성 공정을 보여주고 있다[5]. 그림에서 보듯이 앞서 언급된 마이크로 범프는 크기가 10 μm 에서 50 μm 인 범프를 의미한다.

본딩 공정 기술은 (그림 4)에서 나타난 바와 같이 범



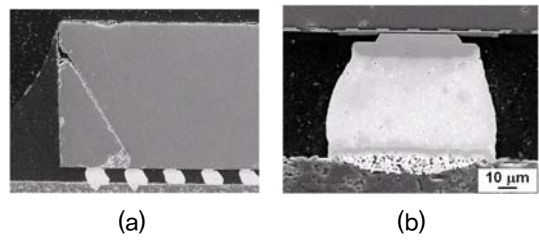
(그림 3) 솔더 범프 크기에 따른 응용 및 범프 형성 공정[5]



(그림 4) 연도별 플립 칩 본딩 범프 피치의 기술 동향 및 그에 따른 본딩 공정의 변화[6]

프 피치 100μm를 기준으로 리플로우 공정과 열 압착 (thermocompression) 공정으로 나뉜다. 리플로우 (reflow) 공정은 플렉스 도포, 기판 상에 디바이스 정렬 및 안착 공정, 리플로우 오븐에서 리플로우, 플렉스 잔사 세척 공정으로 이루어진다. 열 압착 공정은 NCP (Non Conductive Paste)를 기판에 도포한 이후 디바이스를 기판상에 정렬 및 안착한 이후 열과 압력을 가하여 본딩함으로 완성된다. 열 압착 공정에서는 NCP가 언더필의 역할을 수행하기 때문에 별도의 언더필 도포 및 경화 공정이 필요하지 않다는 장점이 있다.

리플로우 공정은 기판 상에 여러 디바이스를 정렬 및 안착한 이후 한꺼번에 리플로우 오븐에 투입함으로 대량 생산에 유리하여 mass reflow라는 별칭이 있다. 그에 반해 열 압착 공정은 디바이스 하나 하나에 개별적으로 열과 압력을 가해야 함으로 인해 양산성이 떨어진다. 이를 극복하기 위해 공정시간을 최소한으로 줄이는 것이 필요하며 이에 따라 관련 소재 및 장비가 일반적인 것에 비해 상당히 까다로운 사양을 만족시켜야 한다. 피치가 100μm일 때 급격한 본딩 기술의 변화가 발생하는 이유는 그 이하의 피치에서는 리플로우 공정이나 디바이스 이동 중에 디바이스의 위치가 틀어짐 등으로 인해

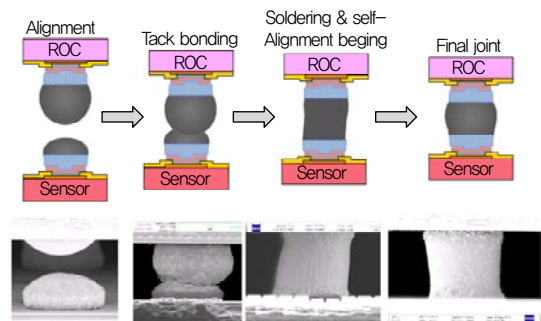


(그림 5) Thermal cycle test 동안 발생한 불량
(a) chip crack (b) solder joint crack[7]

단선/단락 불량(open/short failure)이 발생하기 쉽기 때문이다.

마지막으로 언더필을 도포하고 경화시키는 공정은 칩과 기판 사이의 솔더 접합부의 신뢰성을 증가시키기 위해 필요한 공정이다. 실리콘 칩과 기판의 열팽창계수 차이로 인해 휨(warp) 현상이 발생하며 이로 인해 단선 불량이 발생하거나 심할 경우 (그림 5)에서 나타난 바와 같이 thermal cycle test와 같은 신뢰성 시험 동안에 칩이나 솔더 접합부가 깨지기도 한다[7]. 이와 같은 불량을 방지하기 위해 언더필의 물성을 최적화하는 것이 필요하며 주로 언더필의 유리전이온도(glass transition temperature), 탄성계수, 열팽창계수 등의 물성 변화를 통해 신뢰성을 확보한다.

플립 칩 본딩 응용 분야에 따라 언더필을 적용하기 어려울 때는 범프의 높이를 증가시키는 방법을 적용하기도 한다[8]. 이는 열팽창계수 차이에 의해 솔더에 가해



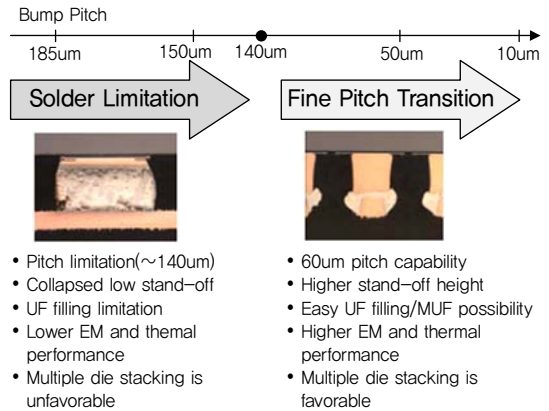
(그림 6) 높은 솔더 접합부의 높이를 갖도록 솔더 확산 공정으로 플립 칩 본딩된 그림 및 SEM 관찰 사진[8]

지는 응력이 솔더 높이에 반비례하기 때문에 솔더 접합부의 높이가 높을수록 신뢰성이 향상되기 때문이다. (그림 6)에서 보는 바와 같이 솔더 범프의 높이를 증가시키기 위해 인듐 솔더 범프를 센서와 ROIC 양쪽에 형성시킨다. 이 때, 인듐 솔더를 사용하는 이유는 센서의 온도 안정성을 위해 저온 본딩 공정이 필요하기 때문이다. 일반적인 플립 칩 본딩과 같이 정렬을 맞춘 이후 솔더 범프가 녹지 않는 온도에서 열 압착 공정을 수행한다. 일반적인 플립 칩 본딩 공정에서는 솔더의 용점 이상의 온도에서 본딩 공정이 진행되어 솔더가 녹고 이로 인해 솔더 접합부의 높이가 감소하는 현상이 발생한다. 이를 방지하기 위해 솔더가 녹지 않는 온도 범위에서 본딩 공정을 진행하는 것이다. 이 경우 인듐 원자의 확산으로 인해 공정이 진행됨으로 인해 다소 많은 공정시간이 소요되어 양산성이 떨어진다는 단점이 있다.

II. 본론

1. 범프 형성 기술의 최신 동향

(그림 7)은 범프 피치에 따른 범프 기술의 변화를 보여준다[9]. Amkor사에 따르면 일반적인 솔더 범프는 140 μ m까지 적용 가능하며 그보다 작은 미세피치에서는 Cu pillar가 적용된 범프가 사용되는 것이 좋다고 한다. 이는 일반적인 솔더 범프의 경우 리플로우 공정 시 높이가 줄어들어 신뢰성 확보가 어려워지고 낮은 높이로 인해 안정적인 언더필 충전이 어려워지기 때문이다. 이와 같은 문제를 해결하기 위해 제안되는 기술은 (그림 7과 8)에서 보이는 바와 같이 Cu pillar와 Au stud이다. 현재 보다 대중화된 기술은 Cu pillar이다. Cu pillar를 적용하게 되면 접합부의 높이 증가로 인한 신뢰성 증가 및 이로 인해 용이해진 언더필 충전 공정의 장점이 있어 미세 피치 접합에 있어 공정성과 신뢰성을 확보할 수 있다.



(그림 7) 범프 피치에 따른 범프 기술의 변화[9]

Conventional Solder Flip Chip	Fine Pitch Gold Stud Flip Chip	Fine Pitch Cu Pillar Flip Chip
140-180 μ m Minimum pitch	50 μ m in-line pitch	

(그림 8) 범프 피치에 따른 다양한 범프 기술[9]

Cu pillar는 전해 도금 공정으로 형성하며 그 위에 SnAg와 같은 솔더를 추가로 도금 공정으로 올려 플립 칩 본딩이 가능하도록 한다. SnAg는 Cu와의 금속간 화합물 형성으로 인해 신뢰성이 떨어지는 경향을 보여 최근에는 Cu와 SnAg 사이 계면에 Ni층을 추가로 전해 도금하거나[10] 신뢰성이 높은 삼원계를 Cu pillar 위에 도금하는데[11][12], 일반적으로 삼원계 도금은 양산성이 높지 않다는 단점을 가지고 있다. 이는 삼원계의 도금액을 관리하는 하는 것이 쉽지 않기 때문이다.

미세 피치 플립 칩 본딩에 있어서 새로운 기술 동향은 기판에도 솔더 범프를 형성한다는 것이다. 이를 SoP(Solder-on-Pad) 기술이라고 부른다. 이는 공정 시 발생하는 정렬 오차 혹은 기판이나 칩의 휨으로 인한 단선 불량을 최소화할 수 있고 충분한 솔더를 접합부에 제공하여 솔더 접합부의 신뢰성을 증대시킬 수 있다는 장점이 있다. SoP를 형성하는 공정 기술은 대부분 칩에

범프를 형성하는 공정과 동일하다. 범프 수가 많은 시스템 IC의 경우 칩 쪽에는 Cu pillar만을 형성하고 기판 쪽에 솔더로 SoP를 형성함으로써 공정 비용을 절감하는 경우도 있다.

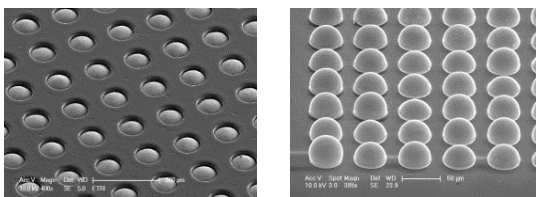
한국전자통신연구원에서는 무 마스크 stencil printing 공정 기술로 150 μm 이하의 미세 피치의 삼원계 솔더 범프를 형성하는 미세 피치 SoP용 소재 및 공정 기술을 개발하였다. 기존의 stencil printing 공정 기술의 문제점인 마스크를 제거하여 미세 피치 솔더 범프를 형성할 수 있는 기반을 마련하였고 SBM(Solder Bump Maker) 라는 소재를 개발하여 마스크 없이도 UBM에서 만 솔더 범프가 형성되도록 하였다. SBM은 상용 솔더 분말을 사용하기 때문에 솔더 범프의 조성 선택에 있어서 자유도가 높다는 장점이 있다. 이로 인해 신뢰성이 높은 삼원계 혹은 사원계의 솔더 범프를 쉽게 만들 수

있다. (그림 9(a))는 PCB(Printed Circuit Board) 상에 형성된 피치 130 μm , Sn3.0Ag0.5Cu 조성의 SoP SEM(Scanning Electron Microscope) 사진을 보여주며 (그림 9(b))는 실리콘 상에 형성된 피치 60 μm , Sn3.0Ag0.5Cu 조성의 SoP SEM 사진을 보여준다. (그림 9(c))는 (그림 9(a))의 SoP 높이 측정 결과를 보여준다. 평균 높이의 약 $\pm 15\%$ 의 편차를 보여준다[13][14].

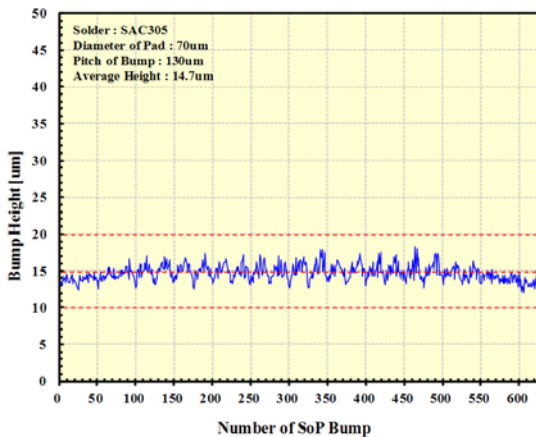
2. 본딩 기술의 최신 동향

본딩 기술에 있어 가장 중요한 기술 중에 하나는 솔더 표면에 있는 산화막을 어떻게 제거하느냐에 있다. 본딩 장비의 적절한 분위기를 조정함으로써 이를 구현하는 방식이 있는가 하면 적절한 소재를 적용하여 문제를 해결하는 방법이 있다. 전자의 경우 장비 투자 비용이 상승하는 반면 후자의 경우는 공정이 복잡하거나 적절한 소재를 개발하는데 어려움이 발생할 수도 있다. 전자의 경우 Ar 플라즈마, VUV(Vacuum Ultraviolet), formic acid 처리, hydrogen radical treatment 방법이 있으며 [15], 후자의 경우는 앞서 설명한 플릭스 혹은 NCP를 적용하는 방법이 있다.

앞서 설명한 바와 같이 범프 피치가 미세해짐에 따라 본딩 기술은 리플로우 공정에서 NCP를 이용한 열 압착 공정으로 변화하고 있다. 최근에는 NCP의 부피 제어의 어려움, 양산성의 어려움으로 인해 NCF(Non Conductive Film)로 소재를 변경하는 시도가 진행 중이다. 이는 페이스트보다 필름이 공정 안정성 및 양산성에 도움을 주기 때문이다. (그림 10)는 NCF를 이용한 플립 칩 본딩 기술을 보여준다[16]. NCF를 범프가 형성된 웨이퍼 위에 lamination 기법으로 붙인 이후에 웨이퍼 후면을 적절한 두께로 갈아낸다. 그 이후 개별 칩으로 분리한 다음 NCF가 부착된 칩을 기판에 정렬한 후 열 압착 공정을 진행하여 본딩한다. 이러한 방법은 NCP를 도포하는 공정이 없고 부피 제어가 쉽다는 장점을 가지고 있어 대량 생산에 용이하다. NCP나 NCF 모두 요구되는 특



(a) (b)

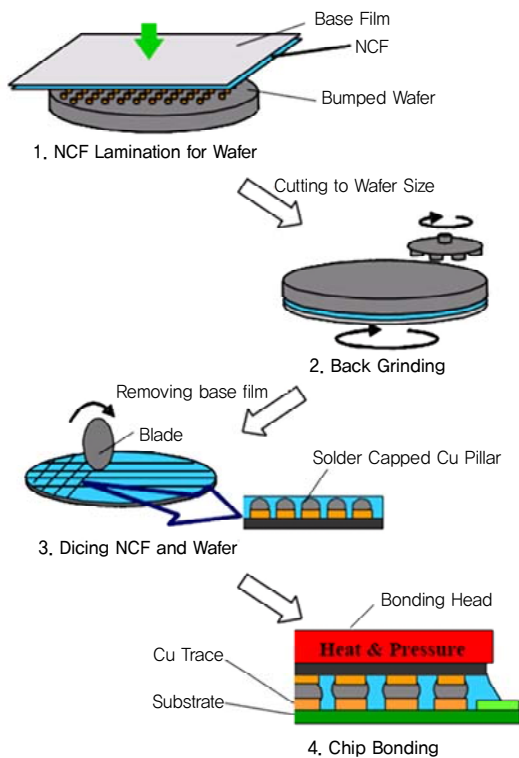


(c)

(a) PCB 상에 형성된 피치 130 μm , Sn3.0Ag0.5Cu 조성의 SoP SEM 사진 (b) 실리콘 상에 형성된 피치 60 μm , Sn3.0Ag0.5Cu 조성의 SoP SEM 사진 (c) (a)의 SoP의 높이 측정 결과[14]

(그림 9) SBM을 이용한 무 마스크 stencil printing 공정

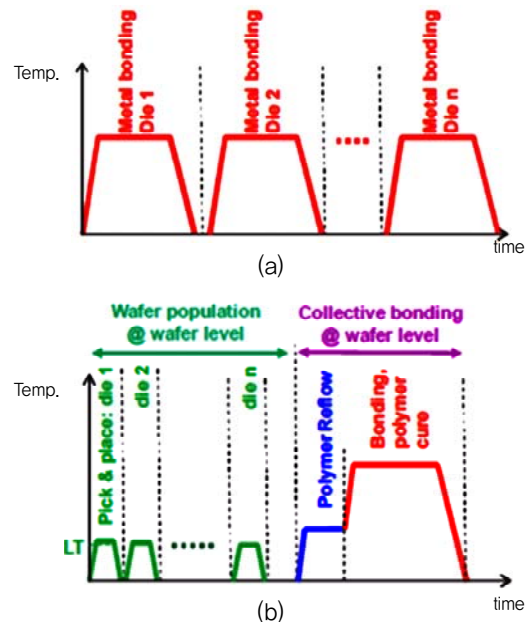
성은 솔더 표면에 형성된 산화막을 효과적으로 제거함은 물론 공정 중에 공극(void)이 발생하지 않아야 한다는 것이다. 특히, 칩 쪽에 Cu pillar 상의 솔더와 기판 혹은 또 다른 칩 상의 UBM과의 신뢰성 있는 접합을 위해서는 앞서 언급한 솔더 표면의 산화막 제거 능력이 매우 중요해서 현재 소재 업체는 산화막 제거 능력이 있는 NCF 개발에 총력을 기울이고 있다. 공극 발생을 막기 위해서 소재 조성 및 공정 조건을 최적화하는 기술을 개발함은 물론 크기가 큰 칩의 경우 공극 발생을 막기가 어려워 진공을 이용한 공정을 개발하는 곳도 있다. 여기에 mass reflow라 불리는 리플로우 공정에 대응할 수 있는 정도의 양산성을 확보하기 위해 총 10초 미만에 본딩에 소요되는 공정을 완료할 수 있는 속경화 특성이 요구되고 있다. 이러한 어려운 사양으로 인해 국내 소재 기업은 개발에 엄두를 내지 못하고 있고 Hitachi chemical, DEXTERIALS, Toray, Henkel 등의 해외 회사들



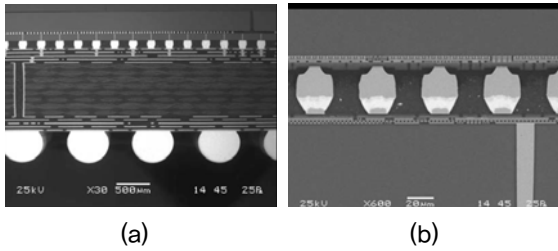
(그림 10) NCF를 이용한 플립 칩 본딩 기술[16]

만이 기술 개발에 참여하고 있는 상황이다. 또한, 본딩 장비에 있어서도 Toray, Panasonic, SET 등 해외 회사들이 독점하고 있는 상황이다.

열 압착 본딩 방법의 단점 중에 하나는 (그림 11(a))에 나타난 바와 같이 열 압착 본딩 공정이 진행되는 동안 인접된 이미 본딩된 칩에 열이 가해진다는 것이다. 이로 인해 이미 본딩된 칩의 솔더 접합부에 지나치게 높은 열이 가해짐은 물론, 앞서 살펴본 바와 같이 양산성을 확보하기 위해 소재와 장비의 개발 사양이 매우 어려워진다는 단점이 있다. 이와 같은 단점을 해결하기 위해 웨이퍼 레벨 본딩 개념이 제안되었다[17]. 이것은 웨이퍼에 본딩하고자 하는 칩들을 웨이퍼 전면에 걸쳐 차례로 정렬하고 안착시킨 다음 웨이퍼 전면에 열과 압력을 가하여 본딩하는 공정이다. 이로 인해 본딩을 위한 높은 열과 압력은 한번만 가해지고 이에 따라 양산성 확보가 용이해지는 장점이 있다. 이 공정은 advanced C2W (Chip to Wafer) bonding, collective bonding, gang bonding 등 여러 가지 이름으로 불리고 있다.



(그림 11) (a) 일반적인 열 압착 본딩 공정의 열 변화 곡선 (b) 웨이퍼 레벨 본딩의 열 변화 곡선[17]

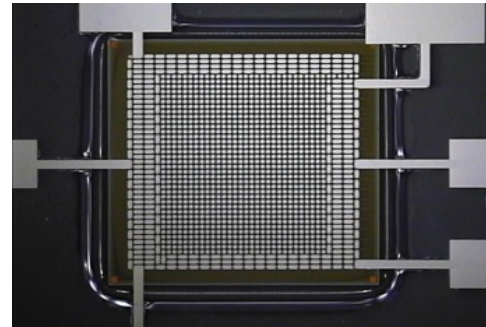


(a) 디바이스와 실리콘 인터포저 및 패키지 기판의 단면 사진, (b) Cu pillar와 솔더로 본딩된 FPGA와 Si interposer 단면 SEM 사진[18]

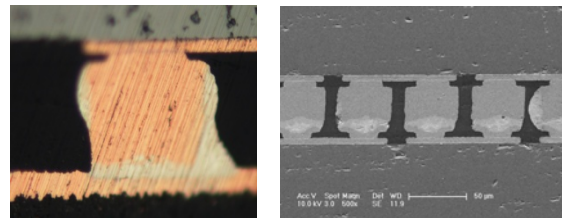
(그림 12) 자이링스사의 FPGA 단면 SEM 사진

(그림 12)는 이러한 최첨단 플립 칩 본딩 기술이 상용화된 대표적인 사례인 자이링스사의 28nm 7 series FPGA(Field-Programmable Gate Array) 단면 SEM 사진을 보여주고 있다[18]. FPGA 디바이스의 수율을 높이기 위해 디바이스를 네 조각으로 분리한 다음 100 μ m 두께의 실리콘 인터포저(Si interposer)에 플립 칩 본딩한 2.5D IC이다. 이 때 범프 피치는 45 μ m이고 Cu pillar에 솔더가 도금된 범프를 적용하였다. 실리콘 인터포저가 사용된 이유는 일반적인 패키지 기판으로는 범프 피치 45 μ m, 재배선 폭 1 μ m를 구현할 수 없기 때문이다. 이렇듯 최첨단 플립 칩 본딩 기술을 구현하기 위해서는 기판 소재 및 관련된 공정도 모두 혁신적으로 변경되어야 한다.

한국전자통신연구원에서는 플럭싱 언더필(fluxing underfill)이라는 일종의 NCP 기술을 개발하였다. 이 소재의 최대의 특징은 솔더의 산화막을 효과적으로 제거함과 동시에 공극 발생을 유발시키지 않으며 언더필의 기능을 충실히 수행한다는 것이다. 실제로 TGA (Thermogravimetric analysis) 분석을 수행한 결과 300 $^{\circ}$ C까지 질량 감소가 5% 미만으로, 기존의 NCP에 비해 매우 작다. (그림 13)은 플럭싱 언더필을 이용하여 데이지 체인(daisy chain) 칩과 유리 기판을 플립 칩 본딩한 시료를 관찰한 사진이다. 범프 직경은 35 μ m, 범프 수는 약 1,800개이고 Cu pillar에 SnAg가 도금된 범프가 적용되었다. (그림 13)에서 보는 바와 같이 공극이



(그림 13) 플럭싱 언더필을 적용하여 데이지 체인 칩과 유리 기판을 플립 칩 본딩한 시료를 관찰한 광학 사진



(a) (그림 9(a))의 SoP가 형성된 기판과 플립 칩 본딩한 단면 사진 (b) (그림 9(b))의 SoP가 형성된 기판과 플립 칩 본딩한 단면 사진

(그림 14) 플럭싱 언더필을 적용하여 Cu pillar만 있는 범프

발견되지 않았다.

(그림 14(a))는 플럭싱 언더필을 적용하여 Cu pillar만 있는 범프를 가진 데이지 체인 칩과 (그림 9 (a))의 기판과 플립 칩 본딩한 단면 사진이고 (그림 14 (b))는 Cu pillar만 있는 범프를 가진 데이지 체인 칩과 (그림 9 (b))의 기판과 플립 칩 본딩한 단면 사진이다. 이것은 플럭싱 언더필 기술이 피치 130 μ m, 60 μ m의 미세 피치에도 적용될 수 있는 기술임과 동시에 솔더는 물론 Cu pillar 표면에 형성된 산화막도 효과적으로 제거하여 안정적인 솔더 접합을 확보할 수 있도록 하는 기술이라는 것을 증명하는 것이다.

III. 결론

플립 칩 본딩 기술은 2차원적으로 I/O를 배열하여 연

결함으로 인한 다채널 지원, 낮은 기생성분으로 인한 고속 전기 신호 지원, 많은 I/O를 가진 칩의 경우 저비용 인터커넥션, 초소형 부품 개발을 가능하게 하는 기술이라는 장점으로 인해 점차 그 사용 영역이 확대되고 있으며 스마트폰, 태블릿 PC 등 개인용 제품뿐만 아닌 고성능 서버 등에도 적용되고 있는 고부가가치 기술이다. 미세 피치 개발 경향으로 인해 범핑 공정에 있어서는 Cu pillar, SoP 등 본딩 공정에 있어서는 NCF, 웨이퍼 레벨 본딩 등 새로운 고부가가치 기술이 개발되고 있다. 안타깝게도 이러한 기술 혁신에 필요한 소재 및 장비 기술은 대부분 해외 업체들이 앞서있는 상태여서 국내 소재, 장비 업체 및 국책 연구소의 기술 개발이 절실히 요구되는 분야라고 할 수 있다.

약어 정리

BGA	Ball Grid Array
C2W	Chip to Wafer
C4	Controlled Collapse Chip Connection)
C4NP	Controlled Collapse Chip Connection New Process)
CPU	Graphic Process Unit
CSP	Chip Scale Package
DCA	Direct Chip Attach
FPGA	Field-Programmable Gate Array
GAGR	Compound Annual Growth Rate
I/O	Input/Output
IR	Infrared
ITRS	International Technology Roadmap for Semiconductors
NCF	Non Conductive Film
NCP	Non Conductive Paste
PCB	Printed Circuit Board
SBM	Solder Bump Maker
SEM	Scanning Electron Microscope

SoP	Solder-on-Pad
TGA	Thermogravimetric analysis
TSV	Through Silicon Via
UBM	Under Bump Metallization
VUV	Vacuum Ultraviolet
WLP	Wafer Level Package
µm	Readout Integrated Circuit

참고문헌

- [1] www.amkor.co.kr
- [2] S. C. Johnson, "Flip-Chip Package Becomes Competitive," Semiconductor International, May 2009.
- [3] Yole Development, "Flip-Chip Market & Technology Trends," 2013 Business Update.
- [4] International Technology Roadmap for Semiconductors, Assembly and Packaging, 2012.
- [5] J. Busby, et al, "C4NP Lead Free Solder Bumping and 3D Micro Bumping," IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 2008, pp. 333-339.
- [6] G. Bartlett, "Bridging the Gap between Silicon and Packaging," ECTC, 2012.
- [7] F. Ding, "Flip Chip and Lid Attachment Assembly Process Development, Thesis of Ph. D., 2006.
- [8] VTT Technical Research Centre of Finland, "Quality Issues in Bump Bonding for HEP - Generic Observation over 10 Years at VTT," Business from Technology, 2011.
- [9] M. Gerber, et al, "Next Generation Fine Pitch Cu Pillar Technology - Enabling Next Generation Silicon Nodes," Electronic Components & Technology Conference, 2011, pp. 612-618.
- [10] H. -Y. Son, et al, "Reliability Studies on Micro-Bumps for 3-D TSV Integration," Electronic Components & Technology Conference, 2013, pp. 29-34.
- [11] M. Sunohara, et al, "Electrical and Morphological Characterization for High Integrated Silicon Interposer and Technology Transfer from 200mm to 300mm Wafer, Electronic Components & Technology Conference, 2013, pp. 334-341.
- [12] J. Bertheau, et al, "Microstructural and Morphological Characterization of SnAgCu Micro-bumps for Inte-

- gration in 3D Interconnects," Electronic Components & Technology Conference, 2013, pp. 1127-1132.
- [13] K. -S. Choi, et al, "Novel Bumping Process for Solder on Pad Technology," ETRI J., vol. 35, no. 2, 2013, pp. 340-343.
- [14] Y. -S. Eom, et al, "Optimization of Material and Process for Fine Pitch LVSoP Technology, ETRI J. vol. 35, no. 4, 2013, pp. 625-631.
- [15] K. Sakuma, et al, "Fluxless Bonding for Fine-Pitch and Low-volume Solder 3-D Interconnections," Electronic Components & Technology Conference, 2011, pp. 7-13.
- [16] K. Honda, et al, "NCF for Pre-Applied Process in Higher Density Electronic Package Including 3D-Package, Electronic Components & Technology Conference, 2012, pp. 385-392.
- [17] G. Lecarpentier and J. D. Vos, "Die-to-Die and Die-to-Wafer Bonding Solution for High Density, Fine Pitch Micro-Bumped Die," 8th Device Packaging, 2012.
- [18] R. Chaware, et al, "Assembly and Reliability Challenges in 3D Integration of 28nm FPGA Die on a Large High Density 65nm Passive Interposer, Electronic Components & Technology Conference, 2012, 279-283.