

패키지형태에 따른 반도체소자의 고장률예측

주철원* 이상복** 김성민* 김경수***

목 차

- I. 서 론
- II. 고장률
- III. MIL-HDBK-217E
- IV. 고장률 산출
- V. 결 론

〈요 약〉

현재 전자장비는 대부분 반도체소자로 구성되어 있어 이들 소자의 신뢰성이 매우 중요하다. 반도체소자의 신뢰성은 고장률로 표현되는데 실질적인 고장률은 사용현장에서 수집된 데이터에서 산출되지만 데이터 수집기간이 길고, 고장원인이 불분명하며, 수적으로도 빈약한 실정이다. 따라서 본고에서는 MIL-HDBK-217E의 고장률예측 모델을 이용하여 반도체소자를 제조기술, 패키지형태, 칩접착 상태별로 구분하여 고장률을 산출하였다.

I. 서 론

현재 전자장비는 수많은 반도체소자로 구성되어 있으며 장비의 신뢰성은 이들 소자의 신뢰성에 크게 영향을 받게됨에 따라 반도체소자 품질의 중요성이 크게 대두되었다. 이에따라 장비설계자는 설계의 올바른 평가, 사용현장에

* 반도체품질연구실 선임연구원
** 반도체품질연구실 기술기능원
*** 반도체품질연구실 실장

서 사용중 고장에 대비한 예비부품 및 고장수리에 대한 준비, 장비의 품질보증 등의 측면에서 소자의 신뢰성에 깊은 관심과 함께 소자의 고신뢰성을 절실히 느끼게 되었다.

소자의 신뢰성은 고장률로 표현되므로 신뢰성예측은 고장률예측을 의미하는데, 예측모델은 수많은 사용현장의 데이터를 토대로 작성되어야 실질적인 사용현장에서의 고장률을 반영하겠지만 실제 사용현장에서 수집되는 데이터는 수적으로 빈약할 뿐 아니라 긴 시간이 소요되고, 고장원인도 불분명하여 그 내용도 거의 공개되지 않고 있는 실정이다. 현재 소자의 고장률에 관한 정보는 미국방부 신뢰성 분석센터(RAC)에서 정기적으로 발행하는 자료로부터 얻을 수 있는데 이 자료 또한 사용현장(field)에서 획득한 데이터와 시험하여 얻은 데이터를 바탕으로 하고 있다.

소자의 대표적인 고장률 예측모델로는 MIL-HDBK-217E^[1]가 있으며 이를 변형한 CNET모델^[2]과 계수형소자에 적용하는 모델^[3] 등이 있다.

이들 모델에는 고장률에 영향을 미치는 여러 인자들이 있는데 본 내용에서는 MIL-HDBK-217E를 이용하여 소자의 제조기술과 패키지 형태에 따른 고장률예측에 관하여 기술하고자 한다.

II. 고장률

1. 누적분포함수

소자를 사용하기 시작하여 시간 t에서 고장이 발생할 확률을 함수 F(t)라고 할때, F(t)는 다음과 같은 누적분포함수이고

$$t < 0 \text{에서, } F(t) = 0$$

$$0 \leq t \leq t' \text{에서, } 0 \leq F(t) \leq F(t')$$

$$t \rightarrow \infty \text{일때, } F(t) \rightarrow 1$$

또 신뢰도함수 R(t)를 시간 t까지 고장이 발생하지 않을 확률이라고 할때

$$R(t) = 1 - F(t) \dots\dots\dots(1)$$

가 된다.

2. 확률밀도함수

확률밀도함수 f(t)는 누적분포함수 F(t)의 도함수로서 F(t)와의 관계는 식(2)와 같다.

$$F(t) = \int_0^t f(x) dx \dots\dots\dots(2)$$

$$\text{또는 } f(t) = \frac{d}{dt} F(t) \dots\dots\dots (2-1)$$

가 되고, 마찬가지로

$$R(t) = \int_t^\infty f(x) dx \dots\dots\dots (3)$$

$$\text{또는 } f(t) = -\frac{d}{dt} R(t) \dots\dots\dots (3-1)$$

가 된다.

$$* \int_0^\infty f(x) dx = 1 \dots\dots\dots (4)$$

3. 순간고장률

시간 t에서 Δt 시간후 고장나는 소자의 비율은

$$F(t + \Delta t) - F(t)$$

$$\text{또는 } R(t) - R(t + \Delta t) \text{이고}$$

Δt 시간동안의 평균고장률 λ(t)는 t시간까지 살아남은 소자가 그 후 Δt시간동안 고장날 확률을 Δt로 나눈 값이다. 즉,

$$\lambda(t) = \frac{R(t) - R(t + \Delta t)}{R(t) \cdot \Delta t}$$

$\Delta t \rightarrow 0$ 일때

$$\lambda(t) = -\frac{1}{R(t)} \frac{dR(t)}{dt}$$

$$= \frac{f(t)}{R(t)} = \frac{f(t)}{1-F(t)} \dots\dots\dots (5)$$

이것을 다시쓰면

$$\lambda(t) = -\frac{d}{dt} \ln[R(t)]$$

따라서

$$R(t) = \exp(-\int_0^t \lambda(x)dx) \dots\dots\dots (6)$$

이때 $\lambda(t)$ 를 시간에 대한 고장률 또는 순간 고장률이라하며 본 내용에서 기술하는 고장률이다.

4. 고장률 단위

고장률은 일반적으로 아래의 3가지 방법으로 표현된다.

- FIT
- Failures/10⁶ hrs
- % Failures/10³ hrs

FIT는 Failure unIT의 약어로서 아래와 같이 정의되며

$$1FIT = 1Failure/10^9 \text{ device} \cdot \text{hours}$$

다른 고장률 단위와는 <표 1>^[4]과 같이 서로 변환된다.

<표 1> 고장률 단위의 변환

변 환 전	변 환 후	변 환 방 법
FITs	Failures/10 ⁶ hrs	FITs/10 ³
FITs	% Failures/1000 hrs	FITs/10 ⁴
FITs	MTBF *	10 ⁹ hrs/FITs
FITs	% Failures/yr or Failures/100 units/yr	FITs/1142

FITs	% Failures/mo. or Failures/100units/mo.	FITs/13700
Failures/10 ⁶ hrs	FITs	Failures/10 ⁶ hrs × 10 ³
% Failures/1000 hrs	FITs	% Failures/1000hrs × 10 ⁴
MTBF	FITs	10 ⁹ /MTBF
% Failures/yr or Failures/100 units/yr	FITs	% Failures/yr × 1142
% Failures/mo. or Failures/100 units/mo	FITs	% Failures/mo. × 13700

* MTBF : Mean Time Between Failures

III . MIL-HDBK-217E

이 핸드북은 장비가 사용될 실질적인 환경조건에서 신뢰도예측을 하기위한 데이터를 제공하고, 이를 바탕으로 여러 설계들을 상호 비교 평가할 수 있다.

고장률을 예측하는 방법으로 “part stress”, “part count”의 2가지 방법이 있다. Part count방법은 설계 초기단계에서 장비(또는 모듈)의 고장률을 예측하는데 이용되며 개략적인 데이터(소자의 종류 및 수량, 품질인자, 소자의 고장률 등)만 사용되고, part stress방법은 실질적인 하드웨어와 회로가 설계되는 단계에서 고장률을 예측하는데 이용되며 세부데이터(소자의 케이스 및 접합부 온도, 동작전압 등)가 더 요구된다.

1. 데이터 수집

고장률모델에 이용되는 데이터는 다음과 같은 작업으로 얻어진다.

가. 자료분석

소자의 동작원리와 물리적현상을 이해하고

제조공정 및 재료를 분류하며 규명 가능한 고장형태를 정하기 위하여 이용 가능한 자료를 분석한다.

나. 데이터 수집

대부분의 데이터는 제조업체에서 수행한 수명시험과 사용현장에서 수집되는데 특히 사용현장에서 수집된 데이터는 소자의 동작시간, 가해진 스트레스 등을 정확히 알 수 있어 유용하지만 실제로 수집기간이 길고 수집된 고장소

〈표 2〉 기능별 소자의 복잡도인자 C_1

소 자 분 류	복 잡 도 변 수	C_1
MOS & bipolar digital	게이트수 < 100	0.01
	100 ~ 1000	0.02
	1000 ~ 3000	0.04
	3000 ~ 10000	0.08
	10000 ~ 30000	0.16
PAL PLA	게이트수 < 100	0.06
	100 ~ 1000	0.12
	1000 ~ 5000	0.24
MOS & bipolar linear	트랜지스터수 < 100	0.01
	100 ~ 300	0.02
	300 ~ 1000	0.04
MOS & bipolar digital microprocessor	비트수 8	0.03
	16	0.06
	32	0.12
MOS DRAM	셀수 < 16K	0.025
	16K ~ 64K	0.05
	64K ~ 256K	0.10
	256K ~ 1M	0.20
MOS SRAM	셀수 < 4K	0.05
	4K ~ 16K	0.10
	16K ~ 64K	0.20
	64K ~ 256K	0.40
Bipolar SRAM	셀수 < 4K	0.05
	4K ~ 16K	0.10
MOS ROM	셀수 < 16K	0.035
	16K ~ 64K	0.07
	64K ~ 256K	0.14
	256K ~ 1M	0.28
MOS PROM	셀수 < 16K	0.06
	16K ~ 64K	0.12
	64K ~ 256K	0.24
	256K ~ 1M	0.48
Bipolar ROM/PROM	셀수 < 16K	0.06
	16K ~ 64K	0.12
Bipolar or MOS analog microprocessor	비트수 16	0.06

자에 대한 이력이 자세히 기록되지 않은 경우가 많아 유효하게 이용되지 못한다.

다. 데이터 분석

소자에 가해진 환경 스트레스, 소자의 기능 저하, 설계/제조기술 등이 고장률에 끼치는 영향을 분석하기 위하여 수집된 데이터는 통계적으로 처리, 분석되며 이 결과 고장률에 영향을 끼치는 사항은 고장률 예측모델에 반영되었는지 확인하며 반영되지 않았을 경우 추가로 반영한다.

라. 최종보고서

데이터 분석이 완료되면 최종보고서가 작성되어 그 내용이 handbook에 반영되며 이에 따라 고장률 예측모델도 개정된다.

2. 고장률 예측모델

MIL-HDBK-217E의 고장률 예측모델은 다음 식(7)과 같이 표현된다.

$$\lambda = \Pi_Q(C_1 \Pi_T \Pi_V + C_2 \Pi_E) \Pi_L \dots\dots\dots (7)$$

여기서 λ 는 소자의 고장률(failures/10⁶ hrs)이고, Π_Q 는 품질인자, Π_T 는 온도인자, Π_V 는 전압인자, C_1 은 칩의 복잡도인자, C_2 는 패키지의 복잡도, Π_E 는 사용환경인자, Π_L 은 제조인자 등을 나타낸다.

가. 칩의 복잡도인자 C_1

소자는 기능에 따라 다음과 같이 6개 그룹으로 구분하며

- Bipolar & MOS digital devices, PLA, PAL
- Bipolar & MOS linear devices
- Bipolar & MOS digital microprocessor devices

- Bipolar & MOS random access memories(RAMs)
- Read only memories(ROMs) and programmable read only memories(PROMs)
- Bipolar or MOS analog microprocessor devices

각 그룹에서 C_1 값은 계수형소자의 경우 게이트수, 기억소자에서는 셀수, 마이크로프로세서에서는 비트수, 선형소자에서는 트랜지스터수 등으로 표현되며 칩의 복잡도가 클수록 증가한다. 각 그룹별 칩의 복잡도에 따른 C_1 의 값은 <표 2>와 같다.

나. 품질인자 Π_Q

품질계수는 소자의 품질등급과 관련있다. 품질계수가 작은 소자는 엄격한 시험조건 및 품질보증 체계에서 제조되는 신뢰성이 높은 소자로서 고장률이 낮으며, 품질계수가 큰 소자는 덜 엄격한 시험조건 및 품질보증 체계에서 제조되는 소자로서 상대적으로 신뢰성이 낮으

<표 3> 상업용 소자의 품질인자 Π_Q

품질등급	적 용	Π_Q
D	1. 밀봉 패키지소자*로서 선별 시험 및 품질보증체계에서 제조된 소자 2. 비밀봉 패키지소자**로서 다 음 시험을 실시한 소자 - 번-인 : 160 hrs, 125°C - 급격한 온도변화 : 10회, -55°C~125°C - 고온 개방/단락(continuity test) : 100°C	10
D-1	1. 상업용 소자로서 밀봉 및 비 밀봉소자	20

* 밀봉 패키지소자 : Hermetic 패키지형태의 소자로서 세라믹 패키지소자를 뜻한다.

** 비밀봉 패키지소자 : Nonhermetic 패키지형태의 소자로서 플라스틱 패키지소자를 뜻한다.

며 고장률도 높다.

상업용소자에 적용되는 일반적인 품질계수는 <표 3>과 같다.

다. 온도 가속인자 I_T

I_T 는 제조기술에 따라 서로 다른 값을 갖는 온도 가속계수로서 Arrhenius식에 따라 식(8)과 같이 산출된다.

$$I_T = 0.1 \exp\left\{-A\left(\frac{1}{T_j + 273} - \frac{1}{298}\right)\right\} \dots\dots (8)$$

여기서 T_j 는 소자의 최대 접합부온도(°C)이고, A는 활성화에너지에 대한 볼츠만상수의 비(E_a/K)를 나타낸 값으로 제조기술 및 패키지형태에 따라 <표 4>의 값을 가진다.

<표 4> 제조기술 및 패키지형태에 따른 A값

제조기술	A	
	밀봉 패키지 (Hermetic)	비밀봉 패키지 (Nonhermetic)
ASTTL, ECL, TTL	4635	5214
LTTL & STTL	5214	5794
LSTTL	5794	6373
I ² L, I ² L, MNOS	6952	9270
NMOS, PMOS, HMOS	5794	8111
CMOS, HCMOS	6373	9270
Linear (Bipolar & MOS)	7532	10429

소자의 표면온도가 측정되면 접합부온도 T_j 는 식(9)를 이용하여 구할 수 있다.

$$T_j = T_c + \theta_{jc} \cdot P_d \dots\dots\dots (9)$$

여기서 T_c 는 소자의 최대표면온도(°C), θ_{jc} 는 인쇄회로기판위에 소자가 장착되었을 때의 접합부와 패키지 표면 사이의 열저항(°C/watt), P_d 는 소모전력(watt)을 나타낸다. 열저항 θ_{jc} 는 일반적으로 식(10)과 같이 표현된다.

$$\theta_{jc} = \frac{\Delta T}{Q} \dots\dots\dots (10)$$

여기서 ΔT 는 온도차이, Q는 단위 전달면적당 열흐름(watt/m²)을 나타낸다.

또 Q는 식(11)과 같이 표현되는데

$$Q = -KA \left(\frac{dT}{dx}\right) \dots\dots\dots (11)$$

여기서 dT/dx 는 온도구배(°C/m), K는 열전도도(watt/m°C), A는 열전달 면적을 나타낸다. 따라서 열이 한방향으로 일정하게 흐른다고 할때 식 (10), (11)에서

$$\theta_{jc} = \frac{\Delta T}{-KA(dT/dx)} = \frac{dx}{-KA} \dots\dots\dots (12)$$

가 된다. 식(12)에서 보듯이 θ_{jc} 는 열전도도, 열전달길이 및 면적에 의하여 그 값이 정해진다. 소자의 표면온도가 측정되지 않을 경우 접합부온도 T_j 는 식(13)^[3]을 이용하여 구한다.

$$T_j = T_a + \Delta T + \theta_{ja} \cdot P \dots\dots\dots (13)$$

여기서 T_a 는 반도체소자 주변의 공기온도(°C), ΔT 는 소자표면과 주변공기와의 온도차이(°C), θ_{ja} 는 접합부와 주변공기 사이의 열저항(°C/watt)을 나타낸다.

T_c 값은 장비가 지상에 고정되어 사용될 경우 45°C를 적용하며, θ_{jc}/θ_{ja} 값은 패키지형태 및 핀수에 따라 달라지는데 θ_{jc} 값이 정해지지 않은 경우 <표 5>를 적용한다.

<표 5> 패키지형태, 핀수 및 칩접착 상태에 따른 θ_{jc} 값

패키지 형태	금합금(Eutectic)		에폭시(Epoxy)	
	핀수 < 22	핀수 > 22	핀수 < 22	핀수 > 22
밀봉/비밀봉 DIP	30	25	125	100
밀 봉 Flat packs	40	35	125	100
밀 봉 Can	30	-	125	-

라. 전압인자 Π_V

인가전압이 증가할수록 전압인자가 증가하는 CMOS 제조기술 이외에는 <표 6>과 같은 일정한 값을 가지며, CMOS일 경우라도 인가전압이 12V보다 큰 경우에는 식(14)와 같이 산출된다.

$$\Pi_V = 0.11 \exp\left\{ \frac{0.168 V_s (T_j + 273)}{298} \right\} \dots\dots\dots (14)$$

여기서 V_s 는 실제 동작전압이고 T_j 는 최대 접합부온도(°C)이다.

<표 6> 제조기술에 따른 전압인자 Π_V

제 조 기 술	Π_V
CMOS, $V_{dd} < 12V$	1.0
CMOS, $12V \leq V_{dd} \leq 20V$	식(14) 참조
기타(CMOS 이외)	1.0

마. 패키지의 복잡도 인자 C_2

칩의 복잡도가 커져 게이트수, 셀수, 트랜지스터수 등이 증가할수록 패키지 복잡도인자 C_2 도 커진다. C_2 는 패키지형태 및 핀수(N_p)에 따라 <표 7>과 같이 구해진다.

<표 7> 패키지의 복잡도인자 C_2

패 키 지 형 태	핀수(N_p)별 C_2
뎀납 밀봉 DIP	$2.8 \times 10^{-4} (N_p)^{1.08}$
에폭시 밀봉 DIP	$9.0 \times 10^{-5} (N_p)^{1.51}$
비밀봉 DIP	$2.0 \times 10^{-4} (N_p)^{1.23}$
밀봉 Flat pack	$3.0 \times 10^{-5} (N_p)^{1.82}$
밀봉 Can	$3.0 \times 10^{-5} (N_p)^{2.01}$

바. 사용 환경인자 Π_E

장비가 사용되는 환경조건에 의하여 결정되는 계수로 상업용 장비의 경우 지상에 고정된 경우 Π_E 값은 2.5이고, 지상에서 움직이는 경우 Π_E 값은 4.2이다.

사. 제조 환경인자 Π_L

Π_L 은 다음과 같은 제조방법 변경에 따른 일시적인 고장률 상승을 반영하는 인자로서 변경이 발생하면 Π_L 은 10으로 하고, 일정기간이 지난 뒤 제조방법이 표준화되어 안정시기에 도달하면 1로 작아진다.

- 시제품으로 제조될 때
- 설계나 제조공정이 변경될 때
- 생산이 중단되었다가 재생산되거나 작업자가 바뀌었을 때
- 새로운 제조기술 및 표준화 안된 제조기술로 생산되었을 때

3. 사용현장 고장률과의 관계

MIL-HDBK-217E의 고장률 예측모델에 의해 산출된 고장률이 사용현장에서 발생한 고장률과는 반드시 일치하지는 않는다. 이것은 handbook의 고장률 예측모델은 제조공정, 온도, 전기적 스트레스, 품질 및 적용환경 등의 인자만을 반영하였을 뿐 사용현장에서 발생하는 장비수리, 사용자 및 간헐적인 이상작동과 관련된 인자 등이 포함되지 않았기 때문이다. 이와같은 이유로 MIL-HDBK-217E 모델에 대한 비판^[5]도 있지만 실질적으로 사용현장에서의 고장률을 정확히 예측하기는 어렵기 때문에 MIL-HDBK-217E 고장률 예측모델은 여전히 이용되고 있으며 소자의 고집적화, 새로운 제조기술개발, 새로운 고장발생경로(failure mechanism)등에 따른 고장률 예측모델의 각 인자에 대한 개정작업이 과거에 수차례 있었고 현재도 진행중에 있다.

IV. 고장률 산출

고장률 산출시 고려하여야 할 사항은 소자의

제조기술 및 사용환경, 패키지형태, 칩의 복잡도 등으로 에폭시 밀봉패키지, 금합금(eutectic) 칩접착, 24핀, 소모전력 1watt인 8192 bit N-channel EPROM을 지상에 고정된 장비에 사용할 경우에 고장률은 다음과 같이 계산된다. 식(7)에서

$$\lambda = \Pi_Q(C_1 \Pi_T \Pi_V + C_2 \Pi_E) \Pi_L$$

여기서 $C_1=0.06$ (표 2, MOS PROM 셀수 < 16k)

$$\Pi_V = 1.0 \text{ (표 6, NMOS)}$$

$$\Pi_Q = 10 \text{ (표 3, D)}$$

$$\Pi_L = 1.0$$

$$\Pi_E = 2.5 \text{ (지상에서 고정사용)}$$

$$\Pi_T = 12.81$$

밀봉패키지, 금합금 칩접착일 경우

$$T_j = 45 + 25 \times 1 = 70 (^{\circ}\text{C})$$

$$A = 5794 \text{ (표 4, NMOS)}$$

$$\Pi_T = \exp\left\{-5794\left(\frac{1}{70+273} - \frac{1}{298}\right)\right\} = 12.81$$

$$C_2 = 0.011 \text{ (표 7)}$$

$$\lambda = 10 \times (0.06 \times 12.81 \times 1 + 0.011 \times 2.5) \times 1 = 7.96 \text{ failures}/10^6 \text{ hrs}$$

이상과 같은 고장률 산출방법으로 현재 많이 사용되는 소자를 기능, 제조기술, 패키지 형태(밀봉/비밀봉), 칩접착상태(금합금, 에폭시)별로 구분하여 산출한 고장률은 <표 8>~<표 13>과 같다.

<표 8>에서 소모전력이 작은 LSTTL의 경우 같은 밀봉패키지라도 칩접착 방법이 에폭시일 때의 고장률은 금합금 방법일 때보다 1.149배 높고, 칩접착 방법이 금합금일 때 비밀봉 패키지의 고장률은 밀봉패키지보다 1.045배 높다. 따라서 금합금 칩접착 방법일 때의 고장률은 에폭시 칩접착 방법보다 낮고, 같은 금합금 칩접착이라도 밀봉패키지의 고장률이 비밀봉패키지보다 작음을 알 수 있다.

<표 9>에서 MOS의 경우 소모전력이 작은

<표 8> Bipolar Digital

제조기술	핀 수	소모전력 W	게이트수	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
LSTTL	14	0.02	100 이하	0.159	0.155	0.172	0.167
	14	0.06	"	0.158	0.172	0.170	0.188
	16	0.11	"	0.188	0.219	0.199	0.240
	16	0.21	"	0.196	0.284	0.210	0.329
	24	0.19	"	0.319	0.370	0.301	0.369
STTL	28	1.2	120	0.597	5.718	0.627	10.300

<표 9> MOS Digital

제조기술	핀 수	소모전력 W	게이트수	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
CMOS	16	0.2	100 이하	0.242	0.478	0.359	1.337
	14	0.3	"	0.147	0.262	0.191	0.813
	24	0.2	104	0.452	0.757	0.625	1.772
	14	0.4	100 이하	0.263	1.564	0.489	9.304
	28	1.2	"	8.899	1687.873	34.858	37735.147

경우(0.4W 이하), 같은 밀봉패키지일 때 에폭시 칩접착일 때의 고장률은 금합금 칩접착일 때보다 1.805배 높고, 금합금 칩접착 비밀봉패키지의 고장률은 금합금 칩접착 밀봉패키지의 1.385배이다.

Microprocessor의 경우도 금합금 칩접착의 밀봉패키지일 때 고장률이 가장 낮고, ROM의 경우 <표 11>에서 금합금 칩접착일 때 비밀봉

패키지의 고장률이 밀봉패키지때보다 1.185배 크다. <표 13>의 RAM의 경우 TTL 제조기술에서 금합금 칩접착일 때 비밀봉패키지의 고장률은 밀봉패키지의 1.16배이고, MOS 제조기술에서 금합금 칩접착일 때 비밀봉패키지의 고장률은 밀봉패키지의 2.996배이다. Linear의 경우도 금합금 칩접착 밀봉패키지의 고장률이 가장 낮다.

<표 10> Digital Microprocessor

제조기술	핀 수	소모전력 W	비 트	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
NMOS	40	1.0	8	0.984	8.565	1.541	74.711
	40	1.7	8	1.473	58.774	3.836	1201.176
	40	2.2	16	3.592	351.333	14.762	11254.734

<표 11> ROM

제조기술	핀 수	소모전력 W	셀 수	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
TTL-P*	24	0.58	512	0.576	1.786	0.618	2.512
TTL-P	16	0.72	1024	0.551	4.122	0.664	6.864
STTL-P	18	0.72	8192	0.689	6.889	0.824	11.518
STTL-P	16	0.79	2048	0.709	8.924	0.874	15.435
STTL-P	24	1.0	4096	0.871	9.386	1.019	16.182
STTL-P	24	1.4	8192	1.191	27.359	1.491	53.707
NMOS	24	1.0	16384	0.724	9.568	1.494	86.859

* P : Programmable

<표 12> Linear

제조기술	핀 수	소모전력 W	트랜지스터수	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
Linear	14	0.9	20	0.433	24.024	1.304	476.478
	14	0.5	14	0.262	2.519	0.523	19.871
	16	0.67	16	0.348	6.982	0.787	84.298

〈표 13〉 RAM

제조기술	핀 수	소모전력 W	셀 수	고 장 율 λ			
				에폭시밀봉패키지		비밀봉패키지	
				금 합 금	에 폭 시	금 합 금	에 폭 시
TTL	16	0.88	256	0.517	4.494	0.627	7.743
TTL	16	0.41	256	0.376	1.153	0.429	1.625
TTL	16	0.94	1024	0.583	6.934	0.724	12.687
LSTTL	16	0.41	1024	0.482	2.277	0.557	3.251
LSTTL	24	0.5	1024	0.613	2.294	0.659	3.172
NMOS-S*1	18	1.2	4096	1.261	58.552	3.881	983.748
CMOS-S	28	1.0	65536	3.658	93.114	12.143	1511.880
NMOS-D*2	16	1.0	65536	0.964	29.174	2.649	370.016
NMOS-D	16	1.0	262144	1.781	58.201	5.146	739.879

*1 S : Static

*2 D : Dynamic

V. 결 론

반도체소자를 기능, 제조기술, 패키지형태(밀봉/비밀봉) 및 칩접착상태(금합금, 에폭시)별로 구분하여 고장률을 산출한 결과는 다음과 같았다.

패키지형태 구분없이 에폭시 칩접착일 때의 고장률이 금합금 칩접착일 때보다 높았으며 같은 금합금 칩접착이라도 비밀봉패키지의 고장률은 밀봉패키지보다 TTL, MOS, ROM, RAM (Bipolar), RAM(MOS) 등의 소자에서 각각 1.05, 1.39, 1.19, 1.16, 3.0배 정도 높았으며 microprocessor, linear에서도 평균 2.3배 정도 높았다.

이상의 결과에서 칩접착/패키지형태를 금합금/밀봉으로 하였을 때 고장률이 가장 낮음을 알 수 있었으며 소모전력이 작은 경우(0.1W 이하)에는 칩접착/비밀봉패키지의 고장률도 낮았다. 따라서 고장률만을 따질 때에는 금합금 칩접착/밀봉패키지가 가장 좋지만 고장률외에 설계부품의 중요도, 고장수리 난이도, 비용 등도 고려하여야 할 것이다.

참 고 문 헌

1. US Military Handbook 217E, "Reliability Prediction for Electronic Equipment", U.S. Government Printing Office, 1986.
2. Frederick H Reynolds, "Measuring and Modeling Integrated Circuit Failure Rates", EUROCON '82.
3. Sauli Palo, "Reliability Prediction of Microcircuits", Microelectron. Reliab. Vol.23 No.2, pp.283-294, 1983.
4. Bell System Information Publication IP10425, "Reliability Estimation Procedure for Electronic Equipment", American Telephone and Telegraph company, Issue 2, 1982.
5. Patrick D.T. O'Connor, "Reliability Prediction: Help or Hoax," Solid State Technology, pp.59-61, Aug. 1990.