기술

Megabit급 기억소자의 셀구조 개발동향

김 진 섭* 마 대 영* 백 규 하**

목 차

Ⅰ. 서론
Ⅱ. 기억소자의 셀구조
Ⅲ. 결론

* 기억소자개발사업본부 선임연구원
** 기억소자개발사업본부 연구원

Ⅰ. 서론

현재 VLSI 기억소자는 초대용량, 저전력 및 고속의 경향으로 가고 있다. 기억용량의 경우는 1M DRAM의 양산준비단계에 이르렀으며, 게이트당 최소 호출시간(access time)은 0.5ns, 소비전력은 0.2 uW/fct.의 한계에 도달하기 위한 노력이 기울여지고 있다. 기억용량의 증가를 위해서는 단일 칩에 가능한한 많은 개별소자를 집적하여야 하므로 패턴의 크기를 줄이는 연구에 주력하고 있으며, 현재까지 알려진 패턴의 최소선폭 한계는 0.1um 정도로 보고 있으나 양산단계에서는 0.5um 정도를 한계로 보고 있다.

칩의 집적도를 증가시키기 위해서 패턴의 크기를 줄이게 되면 다른 많은 문제가 발생될 수 있다. 특히 기억소자의 경우 셀을 구성하는 커패시터의 면적이 감소되어 커패시터의 용량이 감소되므로 이를 개선하기 위한 연구개발이 초대용량의 기억소자 개발을 위한 관건이 되고 있다. 그러나 실제 생산되고 있는 DRAM의 경우를 보면 종래의 셀

〈표1〉 Characteristics of Megabit DRAM(source : IEEE ISSCC Tech. Digest, '85, '86)

Mamufac-turer	Memory Capacity (Megabit)	Organiz-ation (bit)	Technology	Capacitor Type	Cell Size (μm^2)	Package
NEC('85)	1	By-1	NMOS 1.0um, Double-level TiSi	Trench	20.4 (3.4×6.0)	300mil 18-pin Plastic DIP
Mitsubishi ('85)	1	By-1	NMOS 1.2um, Poly/polycide-gate, Single Al	Planar	35.72 (3.8×9.4)	300mil 18-pin DIL
Mostec ('85)	1	By-4	CMOS 1.2um, Double poly Double metal	Planar	36.0 (4.0×9.0)	28-pin PLCC, 26-pin SOJ
Toshiba ('85)	1	By-1	NMOS 1.2um, Double poly-Si gate, Double Al	FCC 1)	32.0 (5.0×6.4)	300mil 18-pin DIP
IBM('85)	1	By-1, By-2, By-4	NMOS 1.5um, Double poly Single metal	Planar	36.08 (4.1×8.8)	23-pin PGA, 22/26-pin SOJ
Fujitsu ('85)	1	By-1	NMOS 1.4um, Polycide gate 2-poly-Si Single Al	SCC 2)	26.46 (8.4×3.15)	18-pin DIP 26-pin SOJ
Hitachi ('85)	1	By-1	CMOS, Double Al	CCC 3)	24.12 (3.35×7.2)	18-pin DIP
AT & T ('85)	1	By-1	CMOS 1.3um, Double poly Twin-tub Single Al	Planar	36.7 (3.5×10.5)	18-pin Plastic DIP
Intel (86)	1	By-4	CMOS 1.0um	Planar	28.5 (3.8×7.5)	–
TI('86)	1	By-1 By-4	CMOS(twin-well) 1.0um, Clad moat & 2-poly, Single Al	CFP 4)	21.25 (2.5×8.5)	18-pin DIP(x1), 20-pin DIP(x4) 26-pin SOJ
Toshiba ('86)	1	By-1 By-4	CMOS 1.2um, N-well 3-poly	–	29.16 (3.24×9.0)	18-, 20-pin DIP, 26-pin SOJ
Matsushita ('86)	1	By-4	NMOS 1.2um, 2-poly 2-metal	–	35.1 (4.5×7.8)	–
TI('86)	4	By-4	CMOS 1.0um, Twin-well, LDD Double-level metal	TTC 5) (Deep trench)	8.9 (2.6×3.4)	–
NEC('86)	4	By-1	NMOS 0.8um, Double polycide Single Al	Trench 6) (BSE)	10.58 (2.3×4.6)	350mil 18-pin DIP
Toshiba ('86)	4	By-1 (bonding option)	CMOS 1.0um, Twin-tub, LDD Double poly Single molypoly—cide, Single Al	Trench	17.4 (3.0×5.8)	400mil Ceramic DIP

주) 1) FCC : Folded Capacitor Cell
2) SCC : Stacked Capacitor Cell
3) CCC : Corrugated Capacitor Cell
4) CFP : Contact-less Field Plate
5) TTC : Trench Transistor Cell
6) BSE : Buried Storage Electrode

구조와 크게 변환것은 없다. 이것은 시스팀 수준에서 보면 공정단가, 신뢰성 및 포장(package) 크기 등의 제한 때문이고, 회로의 경우는 신호대 잡음비, array 효율성, refresh등의 문제 때문이다. 또한 공정의 경우는 앞에서 언급한 시스팀 및 회로에서 요구되는 것과 더불어 수율등의 생산성과 신뢰성을 만족시켜야 한다. 현재까지 제작되거나 제안된 megabit급 DRAM의 특성을 〈표1〉에 나타내었다. 본고에서는 이러한 셀구조 및 특성을 분석, 정리하고 앞으로의 경향을 추론하였다.

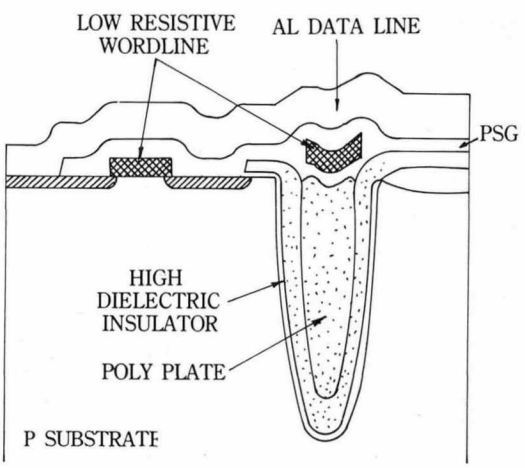
II. 기억소자의 셀구조

DRAM 셀의 축소에 있어서 가장 큰 쟁점은 좁은 면적에 얼마나 큰 용량의 커패시터를 넣을 수 있느냐 하는 것이다. 256K DRAM 경우를 보면 1-transistor double level-poly DRAM 셀 면적의 약 30~40%가 커패시터의 면적으로 사용되고 있다. 커패시터의 용량에는 커패시터의 축적전압, 유전체의 두께 및 유전상수, 커패시터의 유효면적이 주된 파라미터가 된다. 셀크기를 축소시키기 위한 간단한 방법으로는 유전체의 두께를 줄이는 것인데, 대개 10nm 까지가 한계인 것으로 보고 있다. 그 이하로 두께를 줄이면 Fowler-Nordheim tunneling 현상[1]이 일어나 소자의 신뢰성을 저하시키게 된다.

1985년과 1986년에는 DRAM 제작회사들이 이러한 셀을 구성하는 커패시터의 문제점을 보완하여 신뢰성이 높은 기억소자 셀구조를 제작하는데 많은 노력을 기울인 것으로 보인다. 현재까지 발표된 셀구조를 살펴보면 종래의 Planar 셀을 비롯해서 TTC(Trench Transistor Cell), FCC (Folded Capacitor Cell), SCC(Stacked Capacitor Cell), CCC (Corrupted Capacitor Cell) 및 BSE (Buried Storage Electrode) 셀 등으로 구분할 수 있다. 그리고 최근에는 16M 이상의 DRAM에서 사용될 것으로 예측되는 SOI (Silicon-on-Insulator) 구조[2,3]와 trench에 유전체를 채우는 Dielectrically Encapsulated Trench(DIET)커패시터[4]를 이용하는 셀등이 제안되고 있다.

1. Trench 커패시터 셀

(그림1)의 구조를 하고있는 trench 커패시터 셀은 1982년에 최초로 Hitachi사에서 개발하였다[5]. 이 trench 커패시터 셀이 나오기 전에는 주로 VMOS와 같은 방향성 식각[6]에 주로 의존하였으나, 그후 반도체공정의 발전으로 반응성 이온식각(Reactive Ion Etching)법이 개발되어 trench 식각이 가능하게 되었다. VMOS 경우는 V형홈의 날카로운 가장자리 때문에 게이트 산화층의 질이 저하되어 실제공정에는 사용되지 못했다. Trench 커패시터의 개발



(그림 1) Trench Capacitor Cell

초기단계에서는 planar 커패시터 정도의 절연파괴 특성을 얻는 정도였다[7].

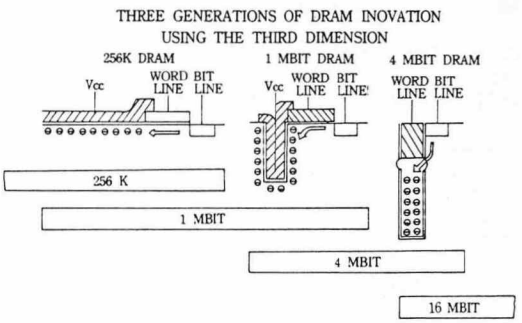
Trench 커패시터에서는 trench의 바깥벽면을 따라 전하가 축적되고, trench간의 최소거리는 두 개의 인접한 trench사이의 누설전류 또는 punch-through 전류에 의해서 결정된다. 이러한 인접한 trench사이의 누설전류는 P영역의 도핑농도를 증가시키므로 감소시킬 수 있다. 셀의 크기를 감소시키기 위해서 trench사이의 거리를 밀접시키면서 누설전류를 감소시키기 위해서는 P영역의 도핑농도를 증가시켜야 한다[8].

이 경우 대개 trench간의 거리가 약 0.8um보다 더 작으면 avalanche가 일어나게 된다. 이것이 셀의 간격을 제한하는 요인이 된다. 또한 trench 커패시터는 4개의 벽면을 가지며 전하는 한쪽면에 있는 pass 트랜지터를 통해 trench속으로 유입된다. 그러므로 표면 아래에서 부터 bit line속으로 전하가 유입되는 것을 막기 위해 표면에서 부터 trench의 다른 면에 대한 격리가 필요하다.

앞에서 언급한 문제와 더불어 trench 간격을 제한하는 또 다른 이유는 α 입자에 의해서 형성된 전하를 모을 수 있는 활성영역의 면적이다. 축적된 전하는 기판에 접하고 있는 trench의 가장자리를 따라 존재하므로 전하수집에 대한 아무런 immunity가 없는 문제를 가지고 있다. 또한 이 셀은 planar 셀에서와 같이 soft error에 대한 취약점을 갖는다. 그러나 셀의 크기가 20um^2 정도로 커지면 입자의 영향은 받지 않으므로, 1M DRAM에서 이러한 셀 구조가 주로 사용되고 있는데 양산에 대한 가격 및 신뢰성의 문제가 아직도 남아있다[9].

따라서 (그림2)에서 표시한 바와 같이 초기의 IM DRAM은 Si_3N_4와 같은 유전상수를 갖고, 10nm 두께의 유전체를 사용하여 25~30um^{2}의 셀 크기를 갖는다. 미루어 볼때 이러한 trench 기술은 30~35mm^2 정도의 die크기를 갖게 될 다음 세대의 1M DRAM에서 사용하게 될 것 같다. 4M DRAM의 경우를 보면 Toshiba사에서 twin-tub CMOS 공정으로 17.4um^{2}크기의 trench셀에 대한 가능성도 보여주고 있다[10].

초기단계에 개발된 trench 커패시터 셀을 9.0um^{2}의 크기로 축소시키려면 (직경이 1.0um이하, 깊이 6um이상의 trench를 형성시킬 경우) 최소 패턴의 크기는 약 0.7um가 되어야 한다. 이러한 기하학적인

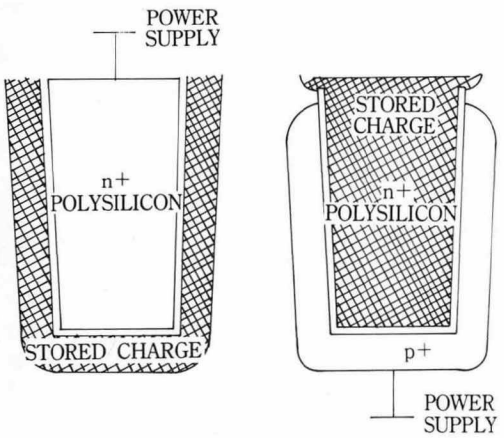


(그림 2) Three Generation of DRAM Cells

형태에서는 앞 절에서 언급한 바와 같이 punch through 및 누설전류 문제가 발생하게 되고 6um 또는 그 이상 깊은 trench에 대한 공정능력이 문제가 된다. 그래서 이러한 문제를 해결하기 위한 새로운 셀 구조가 각 제작회사별로 제안되었다.

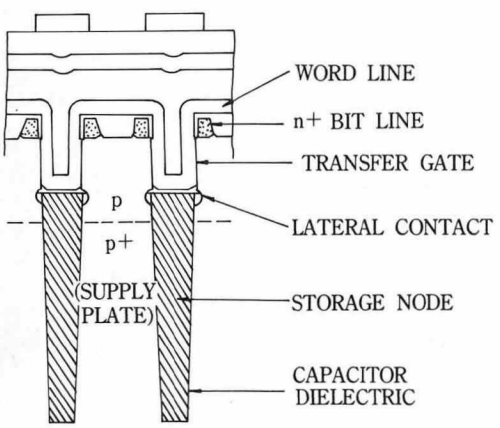
2. Punch-through 및 Soft Error 방지를 위한 셀구조

Trench에 축적된 전하를 보호하기 위한 단순한



(그림 3) Basic Concept of Oxide Isolated Charge Storage

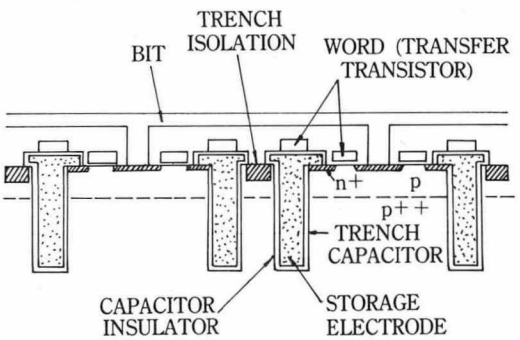
방법으로는 trench 내벽에 전하를 축적시키고 trench의 외벽을 커패시터의 전극으로 사용하는 것이다. 이러한 개념으로 제안된 셀은 TI의 TTC (Trench Transistor Cell)[11,12], NEC의 BSE(Buried Storage Electrode) 셀[13,14] 및 IBM의 SPE (Substrate Plate Electrode) 셀[15]등이다. 이것들에 대한 기본적인 개념이 (그림3)에 표시되었다.



(그림 4) Trench Transistor Cell

Trench의 외벽은 P+로 도핑되고 전하는 trench 내부에 있는 다결정 실리콘 전극에 축적된다. 이때 외부전극은 전원공급기에 연결되어 전기적으로 공통 node가 된다. 여기서는 전하가 trench 속으로 유입되는 영역을 제외하고는 punch-through 문제가 발생하지 않는다. 또한 이 구조에서는 trench 벽면의 절연층에 의해서 벽면전체의 전하는 보호를 받게 되어 bit line의 soft error도 발생하지 않는다.

4M DRAM에 사용된 TTC 및 BSE셀을 (그림4) 및 (그림5)에 나타내었다. TTC는 1um 설계규칙으로 약 9.0um²의 셀크기로 제작되었고, BSE셀은 0.8um 설계규칙으로 약 10um²의 셀크기로 제작하였다.

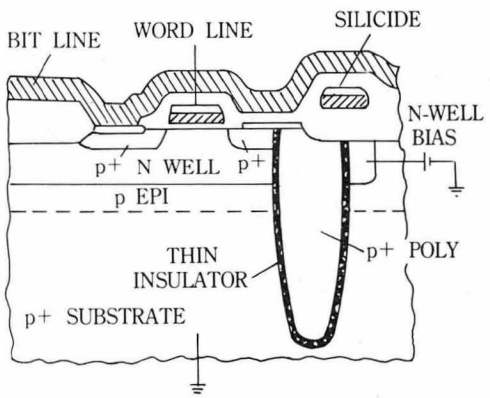


(그림 5) Buried Storage Electrode Cell

(그림6)은 전달 게이트가 p채널 소자로, 커패시터는 n-well에 의해 pass 게이트로 격리되도록 한 셀 구조이다.

3. 커패시터의 면적증가를 위한 셀구조

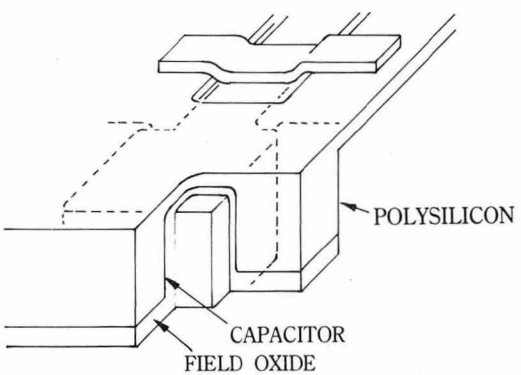
앞에서 언급한 각종 셀에서 trench 구멍의 면적은 셀 전체 면적보다 훨씬작다. 그러나 커패시터 표면적은 trench의 깊이를 더 깊게하여 증가시킬 수 있으므로 trench깊이와 trench벽의 profile 조정에



(그림 6) Substrate Plate Trench cell

관한 연구가 집중되었다. 또한 한편으로는 소자의 격리기능을 하는 셀구조가 제안 되었다. 기존의 셀에 커패시터를 소자격리 가장자리까지 겹치게 하므로서 커패시터의 표면적을 증가시키는 FCC (Folded Capacitor Cell)를 (그림7)에 나타내었다[16].

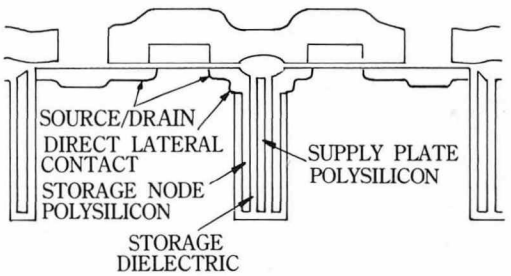
또 다른 방법으로는 (그림8)과 같이 셀주변의 외부가장자리를 커패시터의 벽으로 하고 내부에 있는 pass 트랜지스터에 연결시키는 IVEC(Isolation-Merged Vertical Capacitor)셀이 제안되었다[17]. (그림 9)는 BIC(Buried Isolation Capacitor)셀로서 trench의 두 가장자리를 산화물 또는 다결정 실리콘을 채우는



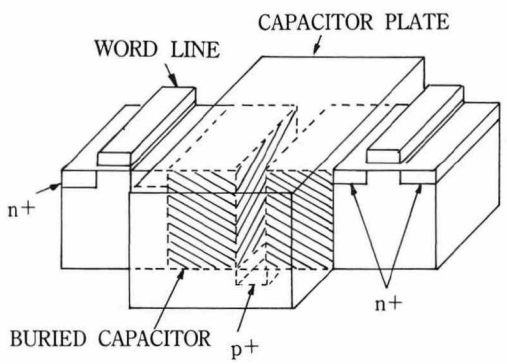
(그림 7) Folded Capacitor Cell

두가지 형태로 사용 된다[18]. 그러나 이러한 셀에서 trench벽은 셀 커패시터 또는 절연체로서 사용되고 있다.

보다 더 진보된 셀에서는 이온주입법으로 trench의 면을 부분적으로 도핑하는 방법을 사용한다. 이러한 방법은 trench를 채우고, 벽면을 도핑하는 등의 복잡한 공정으로 trench의 깊이를 조정한다.



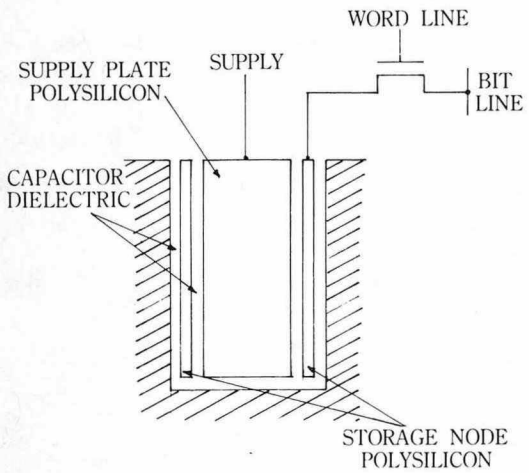
(그림 8) Isolation-merged Vertical Cell



(그림 9) Buried Isolation Capacitor Cell

그러나 RIE trench 식각의 깊이 및 profile의 조정이 쉽게 이루어진다면 앞에서 언급한 복잡한 공정의 문제점은 해결될 것 같다. 실제로 바이폴라 회로에서는 deep trench를 사용하는 소자 격리방법이 현재 대량생산에 사용되고 있는 실정이다.

앞으로 trench 커패시터에 대한 개발은 (그림10)과



(그림 10) 향후개발에 주력할 Trench Capacitor Cell

같이 trench 내부에 있는 두개의 전극을 연결하는 어려운 문제가 있으나, trench안에 2개의 다결정 실리콘 전극으로 이루어지는 커패시터의 형태가 될 것으로 본다[4].

III. 결론

Megabit급 DRAM에 사용될 수 있는 셀을 실현하는 여러가지 구조에 대한 일반적인 특성을 설명하였다. 앞에서 열거한 각종 셀중 어느한 셀이 megabit급의 DRAM에 가장 유력한 것이라고는 예측하기 매우 어렵지만, 1M DRAM의 경우는 궁극적으로 trench 커패시터가 사용될 것으로 본다.

4M DRAM의 경우는 셀의 크기가 6um^2 정도로 되어야 하므로 optical lithography를 사용하는 trench 트랜지스터의 조절 능력에 의해서 결정될 것이다. 또한 RIE로 trench 깊이의 조절이 불가능해지는 경우에는 trench 벽에서의 소자격리와 전하축적영역을 필요로 하는 개념이 유력하게 될 것이다. 또한 4Mbit 이상에서는 SOI(Silicon-on-Insulator) 개념이 중요한 역할을 할 것이다.

참 고 문 헌

1. M.Lenzlinger and E.H.Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO_2", J.Appl.Phys., Vol.40, No.1, pp.278-283, Jan.1969.
2. Bernard Conrad Cole, "IEDM:How They're Going to Build the 4-Mb DRAM", Electronics, pp.50-52, Dec.2, 1985.
3. M.Kubota, T.Tamaki, K.Kawakita, N.Nomura and T.Takemoto, "New SOI CMOS Process with Selective Oxidation", IEEE IEDM Tech. Digest, pp.814-816, Dec.1986.
4. M.Taguchi, S.Ando, N.Higaki, G.Goto, T.Ema, K. Hashimoto, T.Yabu and T.Nakano, "Dielectrically Encapsulated Trench Capacitor Cell", IEEE IEDM Tech.Digest, pp.136-139, Dec.1986.
5. H.Sunami, T.Kure, N.Hashimoto, K.Itoh, T.Toyabe and S.Asai, "A Corrugated Capacitor Cell (CCC) for Megabit Dynamic MOS Memories", IEEE IEDM Tech. Digest, pp.806-808, Dec.1982.
6. J.J.Barnes, S.N.Shabde and F.B.Jenne, "The Buried Source VMOS Dynamic RAM Device," IEEE IEDM Tech. Digest, pp.272-275, Dec.1977.
7. D.Baglee, R.R. Doering, M.Elahy, M.Yashino, D. Clark, S.Crank, and G.Armstrong, "Properties of Trench Capacitors for High Density DRAM Applications". IEEE IEDM Tech.Digest, pp.384-387, Dec.1985.

8. M.Elahy, H.Shichijo, P.K.Chatterjee, A.H.Shah, S. K.Banerjee and R.H.Womack, "Trench Capacitor Leakage in MBit DRAMs," IEEE IEDM Tech. Digest, pp.248-251, Dec.1984.
9. J.Neal, B.Holland, S.Inoue, W.K.Loh, H.McAdams and K.Poteet, "A 1Mb CMOS DRAM with Design-for-Test Functions", IEEE ISSCC Tech. Digest, pp.264-265, Fab.1986.
10. W.Furuyama, T.Ohsawa, Y.Watanabe, H.Ishiuchi, T.Tanaka, K.Ohuchi, H.Tango, K.Natori and O. Ozawa, "An Experimental 4 Mb CMOS DRAM", IEEE ISSCC Tech. Digest. pp.272-273, Feb.1986.
11. W.F.Richardson, D.M.Bordelon, G.P.Pollack, A.H. Shah, S.D.S. Malhi, H.Shichijo, S.K. Banerjee, M.Elahy, R.H.Womack,C.P.Wang, J.Galia, H.E.Davis and P.K.Chatterjee, "A Trench Transistor Cross-Point DRAM Cell", IEEE IEDM Tech. Digest, pp.714-717, Dec.1985.
12. A.H.Shah, et al., "A 4MB DRAM with Cross-Point Trench Transistor Cell", IEEE ISSCC Tech. Digest, pp.268-269, Feb. 1986.
13. M.Sakamoto, T.Katoh,H.Abiko, T.Shimizer, H. Mikoshiba, Y.Hokari, X.Hamano and K.Kobayashi, "Buried Storage Electrode(BSE) Cell for Megabit DRAMs "IEEE IEDM Tech. Digest, pp.710-713, Dec.1985.
14. M.Takada, T.Takeshima, M.Sakamoto, T.Shimuezu, H.Abiko, T.Katoh, M.Kikuchi, S.Takahashi, Y.Sato and Y.Inoue, "A 4Mb DRAM with Half Internal-Voltage Bitline Precharge," IEEE ISSCC Tech. Digest, pp.270-271, Feb.1986.
15. N.Lu, P.Cottrell, W.Craig, S.Dash, D.Critchlow, R.Mohler,B. Machesney, T.Ning, W.Noble, R.Parent, R.Scheuerlein,S. Sprogis and L.Terman, "The SPT Cell-A New Substrate-Plate Trench Cell for DRAMs," IEEE IEDM Tech. Digest, pp.771-772, Dec.1985.
16. M.Wada,K.Hieda, S.Watanabe, "A Folded Capacitor Cell(F.C.C.) for Future Megabit DRAMs," IEEE IEDM Tech. Digest, pp.244-247, Dec.1984.
17. S.Nakajima, K.Miura, K.Minegishi and T.Morie, "An Isolation Merged Vertical Capacitor Cell for Large Capacity DRAM", IEEE IEDM Tech. Digest, pp.240-243, Dec.1984.
18. K.Nakamura, M.Yanagisawa, Y.Nio, K.Okamura and M.Kikuchi, "Buried Isolation Capacitor(BIC) Cell for Megabit MOS Dynamic RAM". IEEE IEDM Tech. Digest, pp.236-239, Dec.1984.