

SDR 기술개발 동향

Trends of Software Defined Radio Technology Developments

조권도(G.D. Jo)	SDR연구팀 선임연구원
김지연(J.Y. Kim)	SDR연구팀 연구원
이규대(K.T. Lee)	공주대학교 정보통신공학부 교수
이승환(S.H. Lee)	SDR연구팀 선임연구원
신민정(M.J. Sheen)	SDR연구팀 연구원
김진업(J.U. Kim)	SDR연구팀 책임연구원, 팀장

본 고에서는 전세계의 SDR 기술개발 동향 및 기술구현사례와 함께 ETRI에서의 개발 현황을 소개한다. 미국의 SDR 관련 프로젝트는 전역 군용 통신 시스템 구축을 위하여 시작되어 JTRS와 같이 독자적인 프로젝트로 진행되어온 반면 유럽의 SDR은 상용화를 위한 시스템 개발로 시작되어 국가별로 다양한 방식으로 SDR 시스템 구축에 접근하고 있다. 아시아의 SDR 연구는 미국과 유럽에 비해 상대적으로 미온적이긴 하나 일본에서는 SDR 기반 프로토타입 개발을 위한 연구가 정부 주도로 진행되고 있고, 우리나라의 경우 각 대기업 및 벤처 기업에서 3G 이동 통신 시스템의 SDR 개념 적용에 대한 연구를 진행하고 있고 학계에서는 SDR 시스템 설계를 위하여 요구되는 기반 기술 연구에 주요 관심을 보이고 있다. ETRI에서는 최근 WCDMA와 cdma2000 두 가지 모드로 재구성 가능한 SDR 플랫폼 개발을 성공적으로 완료하였다.

I. 서론

기저대역 신호처리의 프로그래밍화라는 개념으로 출발한 디지털 무선통신 기술이 디지털 무선에서 소프트웨어 무선으로 전환될 것을 예견하여 1991년 Joseph Mitola III가 제안한 "Software Radio" 개념은 모든 그 후 SDR Forum에 의해 보다 현실적인 SDR 개념으로 정립되기에 이른다. 지난 수십 년 동안의 이동통신 역사를 볼 때 국가별로 다양한 무선 접속규격이 혼재하게 되어 시스템 상호간 연동이 어려운 문제점이 있어 왔다. 사용자 측면에서 완전한 글로벌 로밍(global roaming)이 가능하도록 단일 표준을 만들고자 했던 IMT-2000 역시 ITU-R에 5가지 규격이 상정됨에 따라 그 목적달성은 SDR 기술의 적용을 통해서만 가능하다는 공감대가 형성되고 있다. 다양한 무선접속환경에 유연하게 적용 가능한 시스템 구축을 위하여 개방형 구조의 단일

하드웨어 플랫폼 상에 객체지향구조 응용소프트웨어를 다운로드하여 끊김 없는(seamless) 전역(global) 통신을 가능하게 하는 SDR(Software Defined Radio) 기술은 All-IP 기반 기술과 함께 통합된 차세대 이동통신시스템 구축을 위한 주요 기술로 고려된다. 본 고에서는 전세계의 SDR 기술개발 동향과 기술구현 사례와 함께 ETRI에서의 기술개발 현황을 소개하고자 한다.

II. 전세계 SDR 기술개발 동향

언제, 어디에서나 시스템 변경 없이 군 작전 수행이 가능한 장비 구축의 필요성에서 시작된 연속 통신이 가능한 군 장비에 대한 연구는 자연 재해 및 전시 상황 등으로 인하여 군용 통신 네트워크의 이용이 불가능할 경우 민간 통신 네트워크를 이용하여 상호 동작이 가능한 시스템을 구축하고자 하는 접근

방식이 고려되었으나 세계의 단일화에 따라 군 장비는 자국 내 통신뿐만 아니라 타국에서의 통신을 요구 받게 되었다. 이에 장비의 교체 없이 전역 통신이 가능한 SDR 기반 군용 통신장비의 연구가 시작되었다. 초기 SDR 연구는 군용 단말기 개발에 한정되었으나 미군 DARPA가 주관하였던 SPEAKeasy 프로젝트 시연 성공 후 경제적 이익을 얻을 수 있는 차세대 기술로 고려되어 상용화로의 연구가 시작되었다. 다음은 미국과 유럽 그리고 아시아의 SDR 관련 연구 방향 및 진행 정도를 프로젝트 중심으로 알아본다[1]-[4].

1. 미국

미국에서의 SDR 기술개발은 단일 시스템 기반 다중 표준 처리가 가능한 군용 시스템 구축에서 시작되었다. 즉, 재구성이 가능한 소프트웨어 동작에 의한 하드웨어 제어 기술의 발전을 확장하고, 시스템 내에 증가된 소프트웨어 프로그램 동작 능력을 이용하여 시스템의 유연성을 더욱 증대시키는 데 있다. SDR 기반 군용 시스템의 상용화로의 접근은 스펙트럼 효율성 증대라는 측면에서 주요 관심을 갖고 진행중이다.

1990년대 초 미군 DARPA의 주관으로 시작된 SDR 기술 연구는 고정된 기능의 통신 시스템 하드웨어 컴포넌트들을 프로그램 제어 가능한 부분으로의 확장을 목적으로 SPEAKeasy 프로젝트가 시작되었다. 이는 응용 프로그램 변경에 의하여 파형 변경, 다중 주파수 대역 처리, 다중 모드 무선통신이라는 포괄적 개념의 통합서비스 기술이다. 1997년 SPEAKeasy Phase II 프로젝트는 실제 환경에서 응용 프로그램 다운로드에 의한 시스템 구동 성공으로 SDR 시스템의 상용화 및 표준화 연구에 기틀이 되었다.

또 하나의 초기 프로젝트로 1994년 DARPA의 ITO 지원으로 시작된 GloMo(global mobile system) 프로젝트는 지구 전역 어느 곳에서나 이동중 멀티미디어 통신이 가능한 강건한 시스템 구축을 목적으로 개방구조에 기초를 둔 다기능, 다중 모드 시스템 개

발뿐만 아니라 시스템간 기능을 유연하게 하는 네트워크 기술개발을 목적으로 Virginia Tech MPRG, UCLA, MIT, Raytheon 등 여러 산학연에서 무선통신(스마트 안테나, RF front-end, 적응 코딩), 네트워크, 네트워크 환경에 따른 응용(프록시 서버, 적응 미들웨어 등) 세 분야에 대하여 각각 연구가 진행되었다.

1996년 시작된 JTRS(Joint Tactical Radio System) 프로젝트는 군사 작전중 군간 상호통신 서비스 제공 능력의 부족과 새로운 시스템으로의 확장 요구를 만족시킬 만큼 충분한 대역폭을 갖지 못하는 기존 시스템의 상호운용능력 향상을 위하여 개방 시스템 구조에 기반을 둔 소프트웨어의 객체분산 능력 향상에 주 목적을 두고 시작하였다. JTRS JPO(Joint Program Office)의 산출물인 SCA(Software Communication Architecture)는 하드웨어와 소프트웨어 구조에 대한 공통 개방 구조를 정의하여 표준화 단계로 접어들고 있다. JPO는 2002년 하반기부터 SCA v2.2를 기반으로 군용 차량 장비를 구축할 계획으로 있다. FCC에서는 SDR 기반 시스템 상용화의 가속화를 위하여 진행중인 SDR Forum에 SDR 기술의 전망과 시스템 구축을 위하여 정부가 해야 할 규제 관련 자료를 요청하여 현재 상호 보완적으로 활동중이다.

2. 유럽

유럽의 SDR은 전역 군용 통신 시스템 구축을 위하여 시작된 미국의 프로젝트들과는 달리 상용화를 위한 시스템 개발로 시작되었다. 1994년부터 시작된 SDR 기술 관련 프로젝트들은 미국의 JTRS와 같이 독보적인 프로젝트로 존재하지 않고 국가별로 다양한 방식으로 SDR 시스템 구축에 접근하고 있다. 유럽 내 국방부에서는 현재 이러한 이유로 표준화된 시스템의 상용화 문제에 관심을 더욱 기울이고 있다. 유럽 연합(EU)의 주관으로 진행되고 있는 IST 내 프로젝트들은 4세대 이동통신 기술의 발전을 위하여 통합된 서비스 제공이 가능한 기술로 SDR을 고려, 이에 대한 연구가 활발히 진행중이다. 현재 이

동통신 시스템 개발이 개발자 관점에서 제작되고 있는 것에 반해 유럽에서의 SDR 시스템 접근은 이동통신 시스템 사용자 측면의 요구사항을 바탕으로 시스템을 구축하고 있다. 또한 유럽과 미국에서는 SDR 시스템의 표준화를 위하여 각국에서 개발한 이종의 시스템간 통신을 위한 WDL(Waveform Definition Language) 개발 공동 연구를 진행하고 있다.

현재 유럽에서는 1단계 SDR 프로젝트를 마치고 2000년부터 IST를 주관으로 10여 개의 프로젝트가 SDR의 네트워크 적용에 초점을 맞추어 진행되고 있으며, 서비스의 다양화로 인한 대역폭 부족에 대한 문제점 해결, 서로 다른 시스템간 상호 동작과 응용이 가능한 소프트웨어 기술을 발전시키는 데 집중하고 있다. 또한, 터미널과 기지국 기술에 대하여 구조적, 알고리즘적 SDR의 적용, 기저대역 DSP 구조의 발전, RF/IF 하드웨어에 대한 혁신을 주요 방향으로 접근하고 있다.

TRUST 내 SCOUT(smart user-centric communication environment) 프로젝트는 2002년 4월에 시작된 프로젝트로 3년 동안 vertical 핸드오버에 대한 결정과 모든 사용자와 서비스 요구사항에 순응하는 최적의 모드 선택이 가능한 재구성 가능 터미널에 대한 연구를 시작하여 미국의 SDR Forum과 함께 의견 및 정보를 교환하며 프로젝트를 진행시키고 있다[5].

3. 아시아

아시아의 SDR 연구는 미국과 유럽에 비해 미온적이다. 일본에서는 SDR 기반 프로토타입 개발을 위한 연구가 정부 주도로 진행되고 있다. 현재 일본에서 접근하고 있는 SDR은 현재 사용되고 있는 시스템에 관계없이 시스템 전체를 교체해야 하는 revolution 관점(NTT DoCoMo와 J-Phone)과 현재 상용 시스템(cdma2000)을 점진적으로 업그레이드하는 evolution(KDDI) 관점으로 보고 있다. 초창기 일본의 SDR 기술의 연구는 ARIB(Association of Radio Industries and Business, 전자산업회)의 소

프트웨어 무선조사검토회에서 1996년도부터 SDR에 관한 기술과제, 시장 전망, 표준화 항목 등에 대한 조사로 시작되었다. 1998년에는 IEICE(Institute of Electronics, Information and Communication Engineers) 내에 SDR study group을 결성하여 SWR 기반 무선 시스템의 실현이라는 목표를 가지고 연구를 진행하고 있으며 SDR Forum의 회원들과 연계하여 일 년에 한 번 일본에서 회의를 갖고 있다.

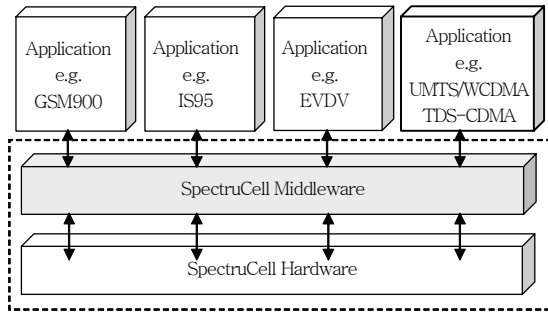
4G 시스템 개발에 착수하려 하는 우리나라에서는 SDR 기술에 대한 관심이 크게 증대되어 각 대기업 및 벤처기업에서는 3G 이동통신시스템의 SDR 개념 적용에 대한 연구를 진행하고 있고, 학계에서는 SDR 시스템 설계를 위하여 요구되는 기반 기술 연구에 주요 관심을 보이고 있다. 현재 정보통신부의 전파연구소에서는 SDR Regulatory 관련 업무를 담당하고 있으며, 한국정보통신기술협회(TTA)에서는 SDR의 표준화 활동을 진행 중이다.

III. SDR 기술 구현 사례 및 제품

최근 상용화 제품으로 등장하고 있는 SDR 플랫폼의 모습은 기저대역을 중심으로 발표되고 있으며, DDC와 DUC 또는 multi DSP 보드를 대상으로 한 제품도 많이 발표되고 있다. 특히 DSP와 FPGA를 혼합한 형태의 reconfigurable 소자도 Chameleon systems나 Sandbridge 등에서 계속 개선된 버전을 발표하고 있다[6],[7].

1. SDRT

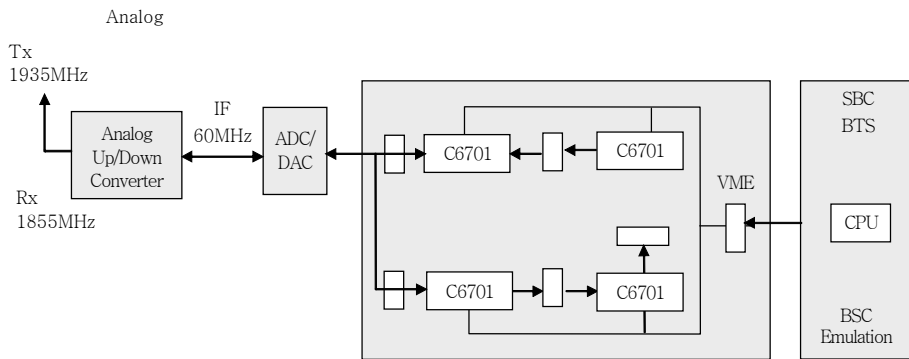
호주 멜버른에 위치한 SDRT(SDR Technologies)사는 Pentek의 ADC/DAC와 multi-DSP 모듈을 사용하여 듀얼 모드(IS-95, GSM)로 동작하는 SpectruCell로 명명된 SDR 플랫폼을 개발하였다[8],[9]. 미들웨어 부분을 중점적으로 개발하고 하드웨어 부는 상용화되어 있는 모듈들을 사용하고 있지만 듀얼 모드의 동작상황을 테스트하는 데 유용하며 3G 개발 장비로의 활용이 가능한 것으로 발표되고 있다.



(그림 1) SpectruCell Framework

전체적인 구성은 (그림 1)과 같이 하드웨어부, 미들웨어부, 애플리케이션부의 3부분으로 나누고, 미들웨어부를 통해 IS-95와 GSM900이 소프트웨어의 변경만으로 통신모드를 변환할 수 있도록 제작하였다. 특히 상용 이동단말을 사용하여 재구성이 가능한 테스트베드를 구성하여 SDR 운영상황을 시연할 수 있도록 제작되었다. 이 회사에서 사용한 오픈아키텍처로서의 하드웨어 구성은 (그림 2)와 같다.

아날로그영역에서 down conversion 된 IF 신호를 ADC(65MHz, 12bits)로 변환하여 멀티 DSP 보드에 전달하고, 처리된 결과는 DAC(200MHz, 12bits)를 사용하여 아날로그 up converter로 전달하는 구조를 사용하였다. 모듈보드 간의 버스 인터페이스는 VME를 채택하였고, DSP 프로세서를 C67xx floating point DSP를 사용하고 있다. 시연은 이동단말을 사용한 음성 통신을 듀얼 모드로 변환하면서 동작하도록 하였다. 향후 DSP 보드를 C64x 계열로 업그레이드 작업을 하고 있는 것으로 알려져 있다.



(그림 2) SDRT 하드웨어 구조

2. Innovative Integration Inc.

미국 캘리포니아에 위치하고 1988년 설립된 Innovative Integration은 디지털 신호처리 관련 산업용 기술을 제공하는 업체로 최근 SDR의 용도로 사용될 수 있는 FPGA와 DSP를 혼용한 Quixote를 발표하였다[10]. TI에서 가장 성능이 우수한 DSP C6416을 채용하고, 대용량의 Xilinx VirtexII FPGA를 (1백만~6백만 게이트) 사용하여 연구개발에 적합한 대역폭과 유연성을 제공하도록 제작되었다. cPCI 버스를 사용하도록 만들어진 단일보드 플랫폼은 빠른 실시간 처리능력이 요구되는 DSP와 아날로그 신호를 통합하는 하드웨어 플랫폼에 유용하다.

디지털 인터페이스는 외부에 100pin을 갖는 고속의 하나의 Phantom 사이트를 통해 제공된다. 88핀에는 VirtexII DIO와 연결되고 LVDS 신호 44쌍이 기본적으로 연결된다. 이 Phantom 사이트는 유연한 모듈 블럭으로 되어 있어 400MB/s 이상의 디지털 통신기를 구현하는 데 적합하다. 사용자는 LVDS 신호로 FPGA에 직접 연결되거나 통신 프로토콜을 구현하기 위한 mezzanine 카드를 설치할 수도 있다. Off-the-shelf IP core를 사용 RapidIO, Hyper Transport 또는 Gigabit Ethernet과 같은 인터페이스가 쉽게 구현될 수 있다.

구체적인 보드의 구조 및 사양은 다음과 같다. 아날로그 입력 단에 2개의 ADC(14bit, 105MHz)와 2개의 DAC(14bit, 100MHz)를 사용하고 64bit CompactPCI DSP Card에 Xilinx VirtexII FPGA

와 함께 내장하였으며 DSP 프로세서로는 TI의 co-processor가 내장된 TMS320C6416 600MHz를 채용했다. 이 보드는 cPCI 버스로 인터페이스되며 FPGA에서 디지털 front-end 처리를 하고 베이스밴드 처리를 DSP에서 할 수 있도록 구성하고 있다.

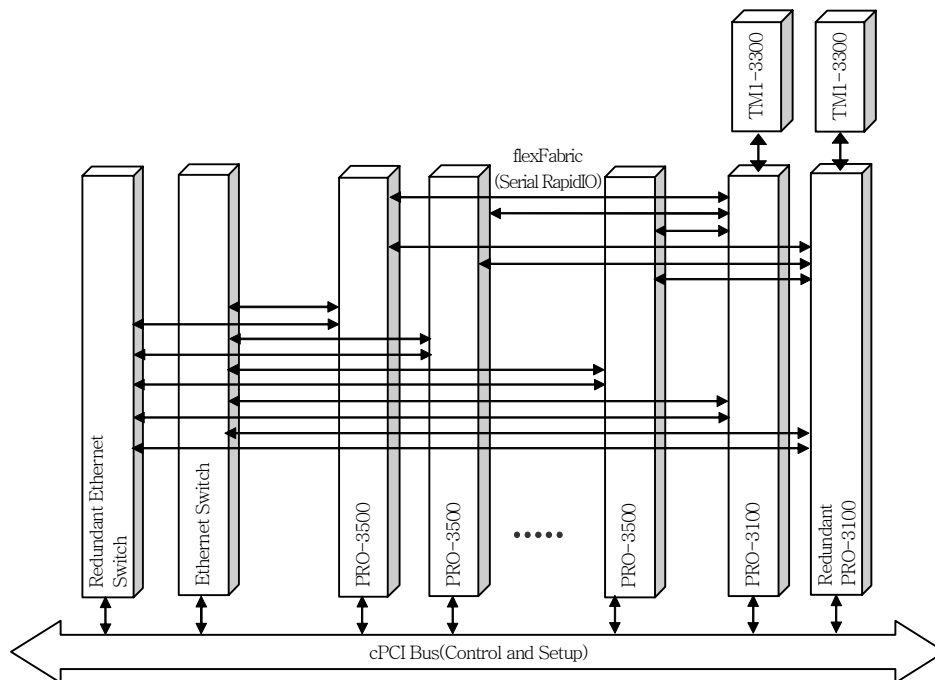
3. Spectrum Signal Processing

캐나다 밴쿠버에 위치한 Spectrum Signal Processing의 SDR-3000은 Spectrum 사의 flexComm 플랫폼 시리즈의 하나로 고성능 고기능의 SDR 구현에 맞도록 설계되었다. 독자적인 무선 인터페이스를 갖는 송수신채널을 동시에 지원하고, 가상적으로는 모든 무선 인터페이스에 사용될 수 있으며 특히, JTRS, WIN-T, Adaptive C41 Node, Future Combat System, FAB-T, 개선된 EHF Satcom과 같은 방어 프로그램에 적용될 수 있다. 또한 cellular base station이나 spectrum monitoring 그리고 시험 측정 등의 상업적 목적으로도 사용 가능하다[11].

(그림 3)에 나타낸 SDR-3000의 하드웨어는 다음과 같은 기본 보드들로 구성된다.

- TM1-3300: 4개의 160MHz ADC와 4개의 80MHz DAC를 지원하는 아날로그 보드
- PRO-3100: 4개의 프로그램 가능한 Xilinx VirtexII FPGA를 지원하는 보드
- PRO-3500: 4개의 PowerPC G4 프로세서를 지원하는 신호처리 보드

FPGA와 G4 프로세서의 데이터는 flexFabric을 경유해서 연결이 되고 직렬의 RapidIO based switched fabric은 고속의 입력처리부와 함께 동작될 때 가상적으로 데이터흐름이 이루어지도록 한다. 모든 프로세싱 보드는 (PRO-3100 and PRO-3500) PICMG2.16 switched Ethernet backplane을 통해 연결된다. 네트워크 통합을 간단하게 하고, 개발 도구와의 효율적인 통합을 하고, 저속의 데이터경로를 가능하게 한다. 또한 PRO-3100과 PRO-3500은 둘 다 표준 cPCI를 가지며 다른 cPCI 보드와의 통합을 편리하게 해준다.



(그림 3) SDR-3000 구성도

4. Interactive Circuit and Systems

ICS는 SDR 시스템을 구현하는 데 도움이 되는 몇 가지 제품을 발표했다. 현재 SDR이 요구하는 사양의 시스템 구현 시에 안테나의 신호를 직접적으로 디지털화 하고 처리하는 작업은 불가능하다. 그러나 충분한 해상도와 처리능력으로 높은 IF 신호를 처리하는 것은 가능한 상태이다. 최근 ICS는 디지털 IF 신호를 처리하는 두 개의 PCI 카드를 발표했다. ICS-652(수신기), ICS-660(송신기)의 두 보드는 소프트웨어적으로 IF와 대역폭이 프로그램 되도록 제작되었다. 이 두 보드는 14bit의 해상도를 갖는다.

ICS-652는 2채널 14bit이면서 65MHz로 동작하는 ADC 보드로 디지털 튜너 모듈과 같이 사용될 수 있고, 현재 재구성 가능한 DDC(Digital Down Converter)의 튜너 모듈에 4개의 선택기능을 가지고 있다. ICS-660은 4채널 14bit이면서 65MHz로 동작하는 DAC 보드로 베이스신호의 DUC(Digital Up Converter)를 프로그램 가능하여 plug-in 디지털 변조기와 호환될 수 있다.

그밖에 여러 회사 중에서도 영국에 소재한 Entegra는 DSP와 RF 분야의 실시간 처리가 가능한 제품을 Spectrum Signal Processing사와 Innovative Integration사와 협력관계를 통해 통신용 프로그램을 FPGA와 DSP 대상으로 연구개발하고 있으며, WCDMA에 대한 솔루션을 보유하고 있다. Pentek 또한 SDR 관련제품이 TI와 Motorola DSP를 사용하는 multi DSP 보드와 ADC/DAC 보드를 발표하고 있다.

IV. ETRI의 개발 현황

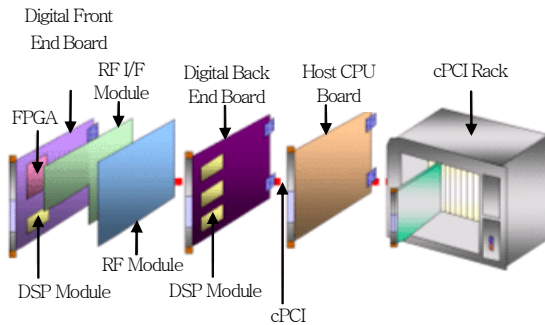
ETRI에서는 지난 3년간 “다중모드 무선접속을 위한 기지국/단말기 개방형 적응 무선플랫폼 기술연구” 사업을 통해 WCDMA와 cdma2000 두 가지 모드로 재구성이 가능한 SDR 플랫폼 개발을 성공적으로 완료하였다. 개발된 SDR 플랫폼의 상세한 기술적 내용을 알아보자.

1. 하드웨어 구성

이중모드 소프트웨어 모뎀을 위한 하드웨어 플랫폼은 기본적으로 W-CDMA와 cdma2000 모뎀 송수신기의 소프트웨어적인 재구성이 가능하도록 FPGA와 DSP로 이루어진 것이 특징이다. 또한 소프트웨어 다운로드를 위하여 호스트 기능을 담당하는 CPU를 포함한다. 본 이중모드 하드웨어 플랫폼은 하드웨어의 확장성을 고려하여 cPCI 기반의 인터페이스로 보드를 rack에 추가 장착할 수 있도록 설계되었다. 본 플랫폼은 크게 기저대역 처리부와 RF 처리부로 구성되어 있다. 기저대역 처리부는 다시 DFE(Digital Front End) 보드와 DBE(Digital Back End) 보드, RF 인터페이스 보드, 호스트 보드로 이루어져 있다. DFE 보드는 하나의 FPGA와 하나의 DSP 모듈을 포함하고 있다. DBE 보드는 세 개의 DSP 모듈로 구성되어 있는데, DFE 보드 및 DBE 보드는 rack의 슬롯이 허용하는 부분까지 확장할 수 있도록 하였으며, LVDS(Low Voltage Differential Signaling) 인터페이스를 통하여 고속 데이터 전송이 가능하도록 하였다. RF 인터페이스 보드는 DAC 및 ADC를 포함하여 전송 신호의 디지털/아날로그 변환 기능을 일차적으로 수행하고, SDAC 및 차동 증폭기 회로를 포함하여 AGC 및 AFC 기능을 수행할 수 있도록 하였다. 한편 호스트 보드는 인텔 계열의 CPU 및 리눅스 OS를 사용하였는데, cPCI 인터페이스를 통하여 DSP 소프트웨어를 다운로드하고 FPGA 모드를 변경하는 역할을 일차적으로 수행하는데 클라이언트 PC에서 동작하는 DM(Diagnostic Monitoring)의 명령을 받는 구조로 되어 있다. FPGA 및 복수 개의 DSP 사이의 데이터 전송은 FIFO를 사용한다. (그림 4)는 RF 모듈을 포함하는 cPCI 기반의 하드웨어 플랫폼을 나타낸 것이다.

RF 모듈은 cdma2000 및 WCDMA 모드를 동시에 지원할 수 있도록 설계되었는데, 직접 주파수 변환 방식을 사용하여 중간 주파수 없이 기저대역에서 RF 대역으로 주파수 변환이 이루어지도록 하는 것이 특징이다.

RF 모듈의 모드 변경은 호스트에서 소프트웨어적



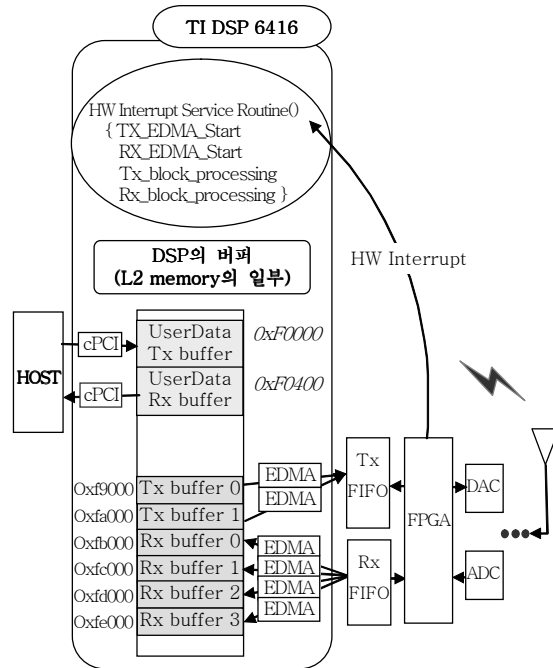
(그림 4) cPCI 기반의 하드웨어 플랫폼 구성도

으로 이루어질 수 있도록 설계 되었는데, 각 모드에 따라 선택되는 필터의 종류를 통하여 WCDMA와 cdma2000 모드를 변경하도록 하였다. WCDMA를 위한 주파수 대역은 3.84Mcps의 확산 대역폭을 위하여 상향 링크 1920~1980MHz, 하향 링크 2110~2170MHz의 주파수 대역을 갖는다. cdma2000의 경우 1.2288Mcps의 확산 대역폭을 위하여 상향과 하향 각각 1750~1780MHz와 1840~1879MHz 대역으로 설계되었다.

2. DSP 소프트웨어 최적화

SDR 기술의 핵심 중의 하나라 할 수 있는 re-configurability를 실현하기 위한 목적으로 본 연구에서는 DSP와 FPGA를 이용하여 물리계층 규격을 구현하였다. DSP와 FPGA는 특성상 소프트웨어 변경을 통한 재구성성이 용이한 장치들이지만, 구현단계에서 규격의 요구사항을 만족하기 위해서는 여러 가지 기법들이 고려되어야 한다. 본 장은 구현된 소프트웨어의 전체 구조와 인터페이스 및 물리계층의 이론적인 내용과 소프트웨어 설계 시 고려되어야 할 내용들을 각 모드별로 다룬다.

샘플단위의 DSP 신호처리는 redundancy가 많아 연산량이 많은 알고리즘에는 적절하지 않기에 DSP 소프트웨어는 블록단위의 신호처리를 수행하는 것이 일반적이다. 또한 DSP는 별도의 독립적인 클럭에 의해 구동되기 때문에 공통된 클럭에 의해 동작하는 RF, FPGA, DAC/ADC 등과 같은 외부 하드웨어와 인터페이스를 하기 위해서 DSP는 일정 주



(그림 5) DSP 소프트웨어의 기본구성도

기의 인터럽트를 받아 블록단위의 신호처리를 하도록 설계되었다. 매 인터럽트마다 처리할 블록의 크기는 인터럽트 주기와도 밀접하게 관련되어 있다. 블록의 크기가 크면 모뎀이 채널의 변화를 빨리 따라가지 못하는 단점이 있고, 블록의 크기가 작으면 잦은 인터럽트 처리를 위한 오버헤드가 DSP 로드(load)에 미치는 영향이 증가하는 문제가 있어 적절한 블록의 크기를 선택해야 한다. 이러한 사항을 고려하여 본 개발에서는 블록의 크기를 WCDMA 모드에서는 256 칩 시간, cdma2000 모드에서는 128 칩 시간에 해당하는 샘플의 수로 정하였다. 본 블록의 크기를 적용하는 경우 AFC, AFC, DC 오프셋 제거 등과 같이 모뎀이 채널 상황에 따라 실시간으로 제어해야 하는 기능들이 성능열화 없이 잘 동작한다. 언급된 사항들을 고려하여 본 DSP 소프트웨어의 전체구조는 (그림 5)와 같이 설계되었다.

DSP와 FPGA간의 데이터 교환은 EDMA와 FIFO를 이용한다. EDMA는 TMS320C6416에 포함된 개선된 DMA로서 사용 가능한 64채널 중에서 본 플랫폼은 FIFO 인터페이스를 위해 송신용 2채널과 수

신용 4채널을 사용한다. 각 EDMA 채널은 미리 정해진 DSP의 내부 메모리의 특정 주소에 데이터를 읽거나 쓰는 데에 이용된다. 내부 메모리에는 EDMA 채널과 1:1 매핑 관계를 갖는 0x1000 바이트 크기의 버퍼가 준비되어 있다. 송신용 내부 버퍼는 송신 소프트웨어 모듈의 성능개선을 위해 더블 버퍼링 기법을 도입함에 따라 2개가 사용되며, 수신용 내부 버퍼는 4개의 버퍼를 링 버퍼 형태로 순차적으로 이용하도록 함으로써 수신 데이터가 순간적으로 over-write되는 현상이 발생하지 않도록 배려했다.

개발된 DSP 소프트웨어는 chip rate 신호를 처리해야 하므로 일반적인 DSP 알고리즘에 비해 요구되는 DSP 부하가 크다. 특히 오버 샘플링된 신호를 처리하는 수신부의 경우는 각별한 최적화기법이 적용되지 않으면 실시간 처리가 어려우므로 다음과 같은 DSP 소프트웨어 최적화 기법들을 적용하여 실시간 처리를 가능하게 하였다. 실시간 처리를 위한 DSP 소프트웨어의 세부 최적화 방안을 알아보자.

가. 스레드 사용 최소화

스레드는 각각이 모듈화된 기능을 수행함으로써 프로그램이 간편해지는 장점을 제공한다. TI DSP 역시 편리한 스레드를 지원하지만 스레드를 사용하면서 파생되는 부가적인 DSP 로드가 문제가 될 수 있으므로 chip rate processing에서는 적절하지 않으므로 본 개발에서는 인터럽트에 의한 단순한 function call 형태로 구현하여 불필요한 오버헤드를 최소화 하였다.

나. Look-Up Table의 이용

단순 반복적인 계산을 수행하는 부분은 Look-Up Table(LUT)로 대체하면 DSP 로드 감소에 큰 효과가 있다. 특히 부하가 가장 큰 chip rate processing에 소요되는 instruction의 수를 줄이는 것은 효과가 더욱 크다. CDMA 계열의 신호처리에는 필연적으로 확산코드가 사용되므로 확산코드의 발생기능이 필수적으로 포함되므로 확산코드 발생부

를 LUT로 바꾸어 부하를 줄이는 것이 효과적이다. 일례로, WCDMA의 경우 10ms 한 프레임 당 38,400 칩이 반복되므로 한 프레임에 해당하는 LUT를 운용하였다. Convolutional encoding 절차 역시 LUT 적용이 가능하다. LUT의 크기가 큰 경우는 DSP 메모리를 많이 차지하는 단점이 있으므로 메모리 여유분을 고려하여 LUT를 적용하여야 한다. OVVSF 발생부 또는 P/S-SCH 발생부는 해당 코드의 주기가 짧아 점유 메모리가 적으므로 LUT의 적용이 용이하다.

다. Coprocessor의 활용

본 개발에서 이용한 TI사의 TMS320C6416은 성능증대를 위해 Viterbi Decoder Coprocessor(VCP)와 Turbo Decoder Coprocessor(TCP)와 같은 채널 코딩과 관련된 coprocessor를 장착하고 있다. 본 개발에서 VCP를 활용함으로써 채널 코딩/디코딩 수행에 의해 야기되는 DSP 로드의 증가는 측정결과 단지 7% 정도였다. 따라서 encoding, branch metric 계산, 그리고 EDMA 채널 configuration 등에 소요되는 instruction 외에 채널코딩에서 요구되는 연산 대부분은 coprocessor가 담당하는 것이다.

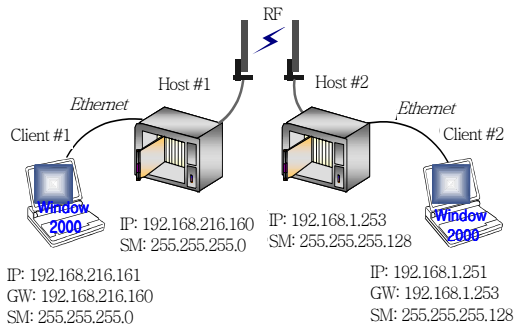
라. DSP 전용 최적화 기법의 활용

대부분의 상용 DSP 칩은 각자 전용의 최적화 기법을 제공한다. TI사의 경우는 intrinsic들을 이용한 최적화 기법을 권장한다. intrinsic은 최적화된 C 코드와 직접적으로 매핑되는 특별한 함수들로서 TI사는 다양한 형태의 intrinsic들을 제공하고 있다. 또한 TI는 로드와 store에 소요되는 instruction을 최소화하기 위하여 메모리상에서 연속된 위치에 있는 데이터를 한꺼번에 읽어오는 기법을 intrinsic을 통해 제공한다. 예를 들면 연속된 16비트 정보를 네 번 로드하는 대신 64비트 정보를 특정 intrinsic을 이용하여 한 번에 로드하여 코드를 최적화 할 수 있다. 확산 코드나 수신한 신호 모두 연속된 메모리에 위치하는 것이 일반적이므로 이 부분에 적용 가능하다.

3. 실험 결과

개발한 SDR 플랫폼의 하드웨어와 소프트웨어의 기능 검증에 위하여 (그림 6)과 같은 구성으로 연동 테스트를 시행하였다. 플랫폼간 netmeeting 애플리케이션을 통한 TCP/IP 통신을 위하여 클라이언트와 호스트 각각 별도의 IP 주소를 (그림 6)과 같이 설정하여 테스트를 진행하였다. 테스트는 WCDMA와 cdma2000 모드 각각 다음의 항목을 체크하는 것으로 진행하였다.

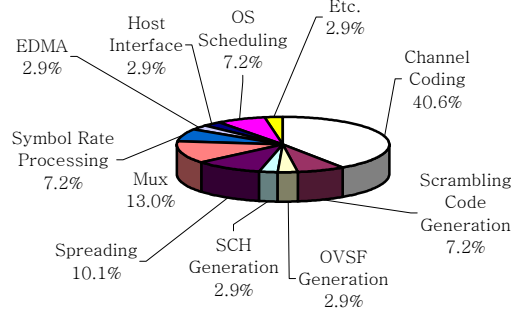
- 데이터 속도에 따른 기본적인 BER 테스트
- Netmeeting 애플리케이션을 이용한 기본적인 화상 통화
- 상대방 클라이언트 PC에 있는 동영상 파일을 실시간으로 다운 받아 실행하여 통화품질 확인
- DSP 로드 측정
- WCDMA와 cdma2000 모드 간 reconfiguration



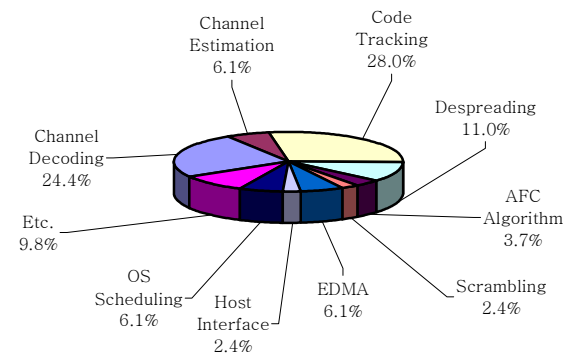
(그림 6) 전체 연동테스트 환경

가. WCDMA 모드 테스트

모든 물리채널의 상대적인 송출 전력은 동일하게 설정하였고, 수신 측에서 측정한 전력은 약 -70dBm 정도였다. 본 테스트는 SDR 플랫폼의 기본 기능을 검증에 목적을 두기 때문에 두 안테나 간의 채널 환경은 Line-Of-Sight(LOS) 성분이 포함되도록 설치하였고 별도의 이동채널환경은 고려하지 않았으며 1 사용자 채널만을 가정하였다. BER 테스트 결과 384/128/64kbps data rate 각각에서 모두 10^{-7} 이



(그림 7) WCDMA 모드와 송신부의 부하분포



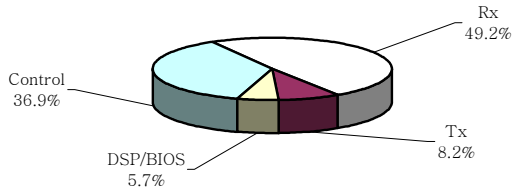
(그림 8) WCDMA 모드의 수신부의 부하분포

하의 만족할 만한 결과를 얻었다.

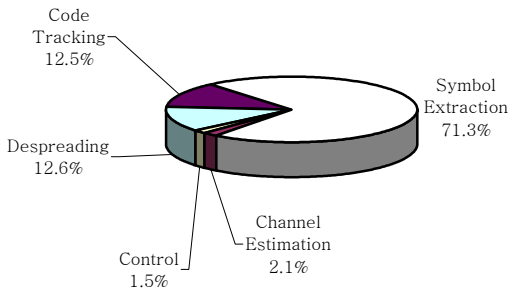
앞서 언급한 DSP 소프트웨어의 최적화 작업의 결과로 송수신부 소프트웨어가 차지하는 총 DSP 부하는 약 51%로 측정되었다. 그 중에서 송신부 소프트웨어는 약 15%, 수신부는 36%를 점유하였다. 수신부의 부하가 더 큰 이유는 송신부는 chip rate의 데이터를 처리하는 반면 수신부는 chip rate에 비해 4배 오버 샘플링된 데이터를 처리하기 때문이다. (그림 7)과 (그림 8)은 DSP 소프트웨어의 송신부와 수신부의 세부 기능별 점유 부하를 나타낸다.

나. cdma2000 모드 테스트

WCDMA에서와 동일한 환경과 테스트 항목으로 cdma2000 모드에서의 기능 테스트를 수행하였다. BER은 76.8, 153.6, 307.2kbps data rate 각각에서 10^{-7} 이하의 성능을 보였다. 송수신부 소프트웨어



(그림 9) cdma2000 모드의 송신부의 부하분포



(그림 10) cdma2000 모드의 수신부의 부하분포

이 전체가 차지하는 총 DSP 부하는 약 20% 정도로 측정되었으며 이것은 WCDMA 모드의 51%보다 낮은 수치이다. 이러한 결과는 cdma2000의 chip rate (1.2288Mcps)가 WCDMA의 chip rate(3.84Mcps)보다 낮은 데에 기인한다. (그림 9)와 (그림 10)에 의하면 총 DSP 부하 중에서 약 50%는 수신부가, 37% 정도는 제어부가, 8.2% 정도는 송신부가 점유하는 것으로 측정되었다. 또한 TI 사가 제공하는 DSP용 OS인 DSP/BIOS가 점유하는 부하는 평균적으로 5.7% 정도이며 이것은 주로 interrupt scheduling과 Real Time Data eXchange(RTDX)에 의한 것으로 판단된다.

V. 결론

지금까지 전세계의 SDR 기술개발 현황과 기술구현 사례 및 ETRI에서 개발한 SDR 플랫폼에 대하여 알

아보았다. SDR 기술은 전력 소모의 제한이 적은 시스템이나 기지국에 우선적으로 적용되어 상용화 될 것으로 예상되며, 현재 SDR 기반의 다양한 기지국 프로토타입들이 소개되어 있다. 전문가들은 2004년 경부터 SDR 기반 기지국의 상용제품 출시가 가능할 것으로 예상하고 있다. 이에 반해 단말기의 상용화는 사용되는 프로세서의 고속화에 수반되는 높은 소비전력 및 부품의 대형화 등의 문제로 저전력, 소형 경량의 고성능 프로세서 등의 부품 제공이 가능할 2007년경으로 예측하고 있다. 전문가들은 2010년 이후 모든 무선 망을 자유롭게 통합/융합하고 언제, 어디에서나 단일 단말 시스템으로 접속할 수 있는 유비쿼터스 유무선 통신 시대가 도래할 것으로 전망한다.

참고 문헌

- [1] 김지연, 김진업, "SDR 기술의 현재와 발전방향," 한국통신학회지, Vol. 19, No. 11, 2002. 11., pp.14-23.
- [2] 김지연, 김진업, "차세대 이동통신시스템을 위한 SDR 기술," *IT Standard Weekly*, 2002. 5.
- [3] 김지연, 김진업, 박남훈, "미국의 SDR 기술개발 동향," 주간기술동향 1034호, 2002. 2., pp.17-31.
- [4] 김지연, 박남훈, 김진업, "유럽 및 아시아의 SDR 기술개발 동향," 주간기술동향 1037호, 2002. 3., pp.16-26.
- [5] Eiman Mohyeldin, "Handover Management and Strategies for Reconfigurable Terminals," *SDR Forum 30th General Meeting Report*, Sep. 2002.
- [6] 이승환, 조권도, 박성균, 이규대 "SDR에서의 하드웨어 Reconfiguration," 대한전자공학회지 제30권 제4호, 2003. 4., pp.64-75.
- [7] <http://www.sandbridgetech.com>
- [8] <http://www.sdrt.com>
- [9] <http://www.pentek.com>
- [10] <http://www.innovative-dsp.com>
- [11] <http://www.spectrumsignal.com>