

제, 어디서든지' 정보를 얻을 수 있는 사회를 말하는 데 이러한 실현을 가능하게 하는 기술 중에서 정보를 저장할 수 있는 SRAM, DRAM, 플래시 메모리의 각각의 이점을 고루 가지는 유니버설 메모리(uni-versal memory)의 발상이 나오게 되었다.

유니버설 메모리에 요구되는 것으로서는 다음의 것을 들 수 있다.

- SRAM 정도의 고속 액세스(기입/읽어 냄)
- DRAM 정도의 고집적화(대용량화)
- 플래시 메모리와 같은 비휘발성
- 소형의 전지구동에 견딜 수 있는 저소비 전력

이 유니버설 메모리가 실현되면 휴대전화나 각종 전자기기의 소형 고기능화를 꾀할 수 있을 뿐만 아니라, 퍼스널 컴퓨터도 전원 on과 함께, 즉 애플리케이션의 실행을 재개할 수 있는 환경이 제공되게 된다.

여기서는 유니버설 메모리라고 불리는 차세대 비휘발성 메모리 중에서 현재 가장 주목 받고 있는 MRAM, FeRAM, PRAM의 기본적인 구조에 대해서 설명하고 그 최근의 동향에 대하여 언급하고자 한다[3],[4].

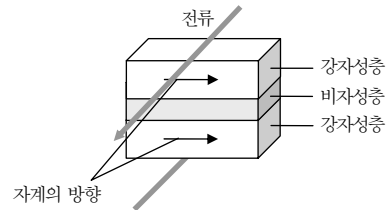
II. MRAM

1.

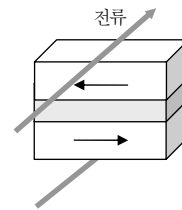
MRAM(Magnetic RAM)은 플로피디스크나 하드 디스크와 같이 자기에 의해 데이터를 기억하는 메모리로서 스핀 의존 전기 전도에 의해 생기는 강자성 터널 자기저항 효과(Tunnel Magneto Resistance: TMR) 소자를 이용한 것이다[5].

TMR 소자는 (그림 1)과 같이 2개의 강자성층이 비자성층을 끼운 3층 구조로 강자성층에는 변이 금속자성원소(Fe, Co, Ni) 및 그것들의 합금(CoFe, NiFe 등)이 채용되고 있다.

여기에서 (그림 1(a))와 같이 상하 2개의 강자성층의 곁에 2개의 전선을 배합하고, 상부의 전선에는 안쪽에서 앞으로, 하부의 전선에는 앞에서 안쪽으로 전류를 흘려 보냈을 경우, 양쪽의 강자성층과 함께



(a) 2개의 강자성층의 전계방향이 동일

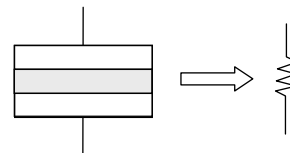


(b) 2개의 강자성층의 전계방향이 반대

(1) TMR

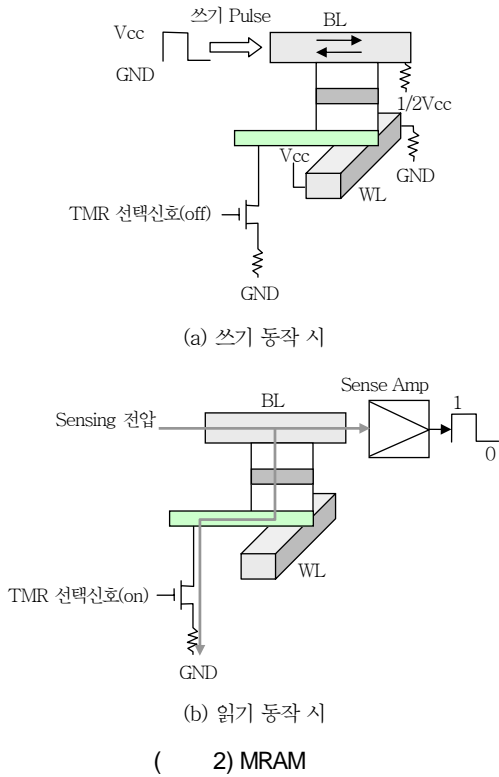
그림의 오른쪽의 방향에서 자계가 발생한다(암페어의 오른나사의 법칙). 한편, (그림 1(b))와 같이 2개의 전선을 동시에 앞에서 안쪽으로 전류를 흘려 보냈을 경우에는 상부의 강자성층에는 좌향, 하부의 강자성층에는 우향의 자계가 발생한다.

TMR 소자는 이 자성체층의 자계의 방향에 의해 전기 저항이 변화되는 것이 특징으로 다음과 같은 1개의 저항으로 생각할 수 있다.



(그림 1(a))와 같이 2개의 강자성층의 자계가 같은 방향의 경우는 저항치가 작고, (그림 1(b))와 같이 강자성층의 자계가 반대 방향의 경우는 저항치가 커진다. MRAM은 이 저항치의 변화를 기억 소자로써 이용한 것으로, 예를 들면 저항치가 클 경우는 "1", 작을 경우는 "0"이라고 한 것 같이 논리 정의한다.

(그림 2)에 가리키는 것 같이 MRAM의 셀은 써넣을 때에 어드레스를 지정하는 워드 라인(WL), 데이터를 지정하는 비트 라인(BL), 읽어 낼 때에 TMR 소자를 지정하는 TMR 선택 신호로 컨트롤 된다. WL과 BL은 (그림 1)의 상하 2가닥의 전선에



해당하고, 자계의 방향을 변화시킬 경우는, WL의 전류방향은 일정하게 하고, BL의 전류방향을 정반대 반전시킨다. 따라서 하부의 강자성층은 항상 자계의 방향이 일정하므로 「고정층」, 상부의 강자성층은 자계의 방향이 변화되므로 「자유층」 이라고 불린다.

기입의 경우는 WL에 일정 방향의 전류를 흘려 보내고, BL은 한 쪽을 예를 들면 $1/2V_{cc}$ 이라고 한 전압 수준에 접속하고, 이미 한 쪽에 V_{cc} -GND 수준의 펄스 전압을 준다. 펄스 전압의 수준이 V_{cc} 의 경우는 (그림 2(a))의 우방향에 전류가 흘러, GND 수준의 경우는 좌방향에 전류가 흐르고, 이것에 의해 자유층의 자계의 방향을 변화시킨다.

읽어 내기의 경우는 WL은 오픈하게 한다. BL의 한 쪽(출력측)을 sense amplifier에 접속하고, 이미 한 방향(입력측)에 센스 전압을 흘려, TMR 선택 신호를 on으로 해서 FET를 액티브로 한다. 이것에 의해 센스 전압신호의 일부가 TMR 소자 경유로 GND에 흐른다. 따라서 자유층과 고정층의 자계의 방향이 같아서 저항치가 작을 경우는 sense amplifier에

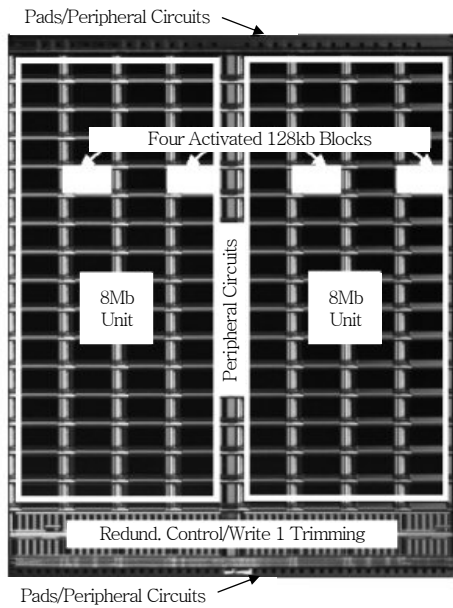
입력되는 전압은 높고, 자유층과 고정층의 자계의 방향이 반대여서 저항치가 클 경우는 입력되는 전압은 작아진다. Sense amplifier는 이 전압의 차이를 문턱전압 값을 기준으로 “1” 또는 “0”으로 나누어서 출력한다.

2.

MRAM의 기술 개발은 IBM과 Infineon의 그룹과 일본의 NEC와 Toshiba 그룹, 미국 Motorola Inc.를 중심으로 한 기술 개발이 급가속되고 있다[6]. 이 중에서 IBM이 2004년에 제품화 한다고 선언하여 경쟁 메이커로부터 주목을 받았다. 일본의 NEC와 Toshiba 그룹은 2002년부터 연구 개발하여 온 MRAM의 공동연구 개발을 2003년 4월에 처음으로 1Mb 시작결과를 발표하였다. 이것은 2002년 6월에 발표한 Motorola Inc. 사에 이은 두번째였다. 1Mb 시작칩의 기술 사양은 TMR 소자부에 $0.6\mu m$ rule을 사용하고 그외의 소자부는 $0.25\mu m$ rule을 사용하였다. 칩면적은 $6.4mm \times 5mm$ 이고, 메모리 셀면적은 $6.55\mu m^2$ 이다. 전원전압은 $+2.5V$, TMR 소자 저항치는 $30k\Omega$, MR비는 인가전압이 $+0.4V$ 일 때 22%이다.

미국 Motorola Inc. 사는 지난 2003년 10월에 4Mb 생산기술을 확보하고 2004년에 생산을 개시한다고 발표하였다. 복수의 메모리 메이커가 시작할 예정이라고 하였는데 주로 휴대형기기와 자동차탑재용 혼재 메모리, 항공기 및 우주관련기기 등에도 활용될 것이라고 하였다. 사용기술은 180nm 프로세스 기술에 3층 Al 배선과 2층 Cu 배선을 사용하고 있고, 읽기/쓰기 횟수는 10^{16} 이상을 확보하고 있다.

IBM과 Infineon 그룹은 16Mb MRAM의 시작품 결과를 지난 2004년 6월에 열린 2004 Symposium on VLSI Circuits에서 발표하였다[7]. 2004년에 발표한 시작칩은 휴대전화기가 탑재하는 저소비전력형의 SRAM과 입출력 인터페이스, 패키지 등의 사양에서 공통으로 사용하고 있다. 읽기/쓰기 사이클 시간은 약 30ns로써 일반적인 저소비전력형 SRAM 보다도 짧다. 주요한 사양은 설계 rule은



(3) 16Mb MRAM (試作)

180nm, 공급 전압은 외부인터페이스 회로용이 +2.5V, 내부회로용이 1.8V이고, 칩면적은 79mm²이다. 메모리셀 면적은 1.42μm²이고, 1층 다결정실리콘, 3층 메탈 전극의 제조 프로세스를 사용하고 있다(그림 3) 참조).

최근에 일본의 AIST는 Gb급 MRAM 실현이 가능한 단결정 TMR 소자를 개발하였다고 발표하였다. 실온에서 저항 변화율이 88%이고 출력 전압이 380mV인 업계의 최고치의 신형 TMR 소자를 개발하였다. 이 기술은 터널 절연막으로 지금까지 사용하고 있는 산화 알루미늄 대신에 단결정 재료인 산화 마그네슘을 사용하는 것으로 고저항변화율과 고출력전압을 실현하였다. 이것은 이론적으로는 알려져 있었으나 제작에 어려움이 많았으나 단결정의 자성박막과 단결정의 산화마그네슘을 적층하는 기술 개발로 가능하게 되었다[8].

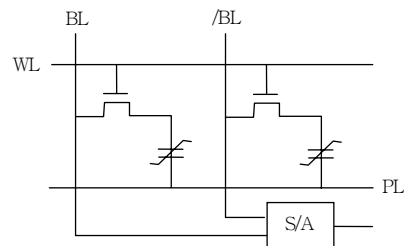
III. FeRAM

1.

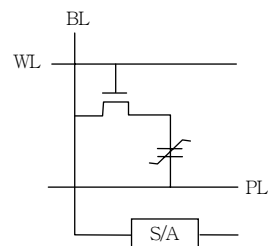
FeRAM(Ferroelectric RAM)은 DRAM의 연장

선에 존재하는 메모리 아키텍처에서, DRAM 셀에 있어서 전하를 보유하고 있는 유전체 capacitor를 강유전체로 하는 것으로 비휘발성을 보유하고 있다. 강유전체 재료로서는 PZT(지르콘산 티타늄산납) 등의 페로브스카이트 화합물이나, SBT(티타늄산 바륨·스트론튬) 등의 층상 페로브스카이트 화합물이 사용되고 있다.

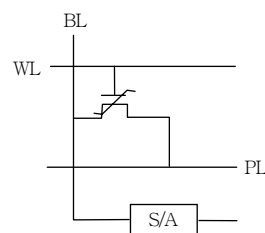
FeRAM의 셀로서는 현재, (그림 4)에 보이는 3가지 타입의 것이 있다. 2T2C(2 트랜지스터 2capacitor) 셀은 이미 실용화되어 있는 것으로, 한 방향의 capacitor에 예를 들면 “1”이라고 하는 데이터를 기억시켰을 경우, 이미 한 방향의 capacitor에는 반대의 “0”을 기억시켜, 읽어 낼 경우에는 BL과 /BL의 2개의 전압차이를 sense amplifier에서 판단하고, 예를 들면 전압차이가 플러스이면 “1”, 마이너



(a) 2T2C Cell



(b) 1T1C Cell



(c) 1Tr Cell

(4) FeRAM

스이면 “0”이라고 되는 것 같이 출력한다.

1T1C 셀은 집적도를 올리기 위해서 각 1개씩의 트랜지스터와 capacitor에서 구성하는 것으로, 읽어 낼 때에는 BL에 “1”과 “0”의 중간 수준에 맞는 레퍼런스 전압을 주고, 그 레퍼런스 전압을 문턱값으로 하여 “1”과 “0”을 판단한다.

1Tr 셀은 1T1C 셀의 capacitor를 제거하고, 더욱 집적도를 향상시키는 것으로, 지금까지의 FET의 게이트 절연체막을 강유전체 막에 바꿔 놓는 것으로, FET 자체에 capacitor의 역할을 가지게 한다[9].

(그림 4(b))의 1T1C 셀을 참고로, 기입과 읽어 넣의 동작을 설명한다. 기입은 해당하는 셀의 WL을 적극적으로 해서 FET를 on 상태로 하고, BL과 PL의 사이에 전압을 인가하는 것으로 실행된다. BL을 Vcc, PL을 GND(0V)이라고 하면 도면에서는 capacitor의 상부가 + (플러스), 하부가 - (마이너스)의 분극이 되어 “1”이 써 넣어져, BL을 GND, PL을 Vcc이라고 하면 capacitor의 상부가 -, 하부가 + 가 되어 “0”이 써 넣어지게 된다.

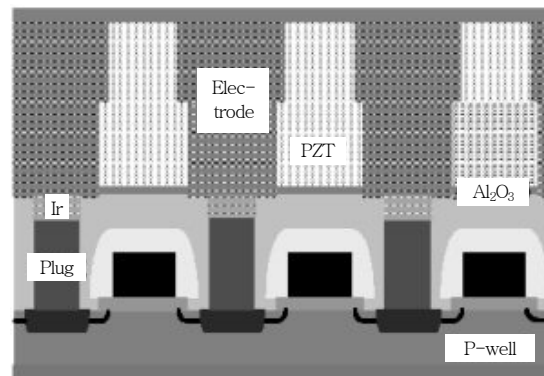
읽어 넣은 BL을 오픈 상태(하이 임피던스)로 하고, WL을 액티브, PL에 Vcc을 인가한다. 셀이 “1”을 보유하고 있을 경우는 분극이 반전해 (capacitor 상부가 -, 하부가 +) 큰 전하가 BL에 흘러, BL의 전압은 크게 상승한다. 셀이 “0”을 보유하고 있을 경우는 분극은 반전하지 않고, 부유 용량에 의한 미소한 전하만이 BL에 흐르기 위해서 BL의 전압은 미소에 상승하는 것뿐이다. Sense amplifier에서 이 전압을 전자의 경우 Vcc에, 후자의 경우 GND 수준에 증폭한다.

이렇게 FeRAM은 “1”이 보유되어 있을 때에 capacitor의 전하를 꺼내서 읽어 낸다고 한다. 데이터 파괴 읽어 넣형의 메모리이기 때문에, 읽어 낸 “1”이라고 하는 데이터를 더욱 보유하기 위해서는 DRAM의 상쇄동작과 같이 셀에 대하여 다시 “1”을 써 넣을 필요가 있다. “1”을 읽어 냈을 때 BL은 sense amplifier에 의해 Vcc 수준이 되므로 여기에서 PL을 GND로 해주면 capacitor에 대하여 재기입이 행하여진다.

2.

독일의 Infineon Tech. AG와 일본의 Toshiba 그룹은 강유전체 메모리로서는 처음으로 3차원 구조의 캐피시터를 가진 메모리 셀의 시작 결과를 2004년 6월에 열린 2004 Symposium on VLSI Technology에서 발표하였다[10]. 최대의 특징은 종래에 비하여 메모리 셀 면적을 크게 감소시킨 것인데, Toshiba가 가진 Chain FeRAM의 메모리 셀 면적은 지금까지 $30F^2$ (F는 설계 rule)로서 큰 것이었는데 이번에 개발된 것은 $4\sim 8F^2$ 로 축소시킨 것이다. 사용된 강유전체 재료는 스퍼터법으로 증착된 PZT 박막이다. 기존의 FeRAM 셀은 상·하부 전극 사이에 PZT 박막을 끼워 넣는 구조로 되어 있어 강유전체 재료의 분극방향은 수직방향으로 되어, 일정량의 분극전하량을 얻기 위해서는 캐피시터 면적을 수평방향으로 어느 정도 확보할 필요가 있었기에 메모리 셀 면적이 크게 되는 경향이 있었다. 이번의 기술은 발상의 전환으로 강유전체 재료를 좌우의 전극으로 끼워 넣는 형태로 하여 강유전체 분극 방향은 기판에 대하여 수평방향으로 된다(그림 5) 참조). 그래서 수평방향의 점유면적이 작아도 캐피시터 아스펙트비를 높게 하면 필요한 분극 전하량을 확보할 수 있다는 계산이다. Toshiba에 의하면 수직 캐피시터를 채용하는 것으로서 설계 rule을 100nm 이하로 미세화하여도 메모리 셀 면적을 계속적으로 축소시킬 수 있을 것으로 기대하고 있다.

또한 수직 캐피시터 구조를 사용하게 되면 다치



(5) 가 가

화하기가 쉬운 장점이 있다. 수평방향의 두께가 다른 PZT를 상하에 증착된 구조를 채용하면 2종류의 히스테리시스 커버를 가진 메모리 셀이 가능하게 된다. 다치화가 되면 메모리 셀 면적을 $2\sim 3F^2$ 로 축소시킬 수 있다.

한국의 삼성은 강유전체 메모리(FeRAM)를 혼재한 다기능 IC 카드용 논리 LSI의 양산기술을 개발하여 곧 양산에 들어갈 것을 발표하였다[11]. 강유전체 재료는 (111)면으로 배향된 PZT 막을 MOCVD 법에 의하여 증착한 막을 사용하고 있다. 시작칩의 주요 사양은 설계 rule은 180nm, 공급 전압은 $+1.62V\sim+5.5V$, 읽기/쓰기 사이클 시간은 100ns, 동작 시의 소비 전류는 4mA이다. 칩면적은 $15.4mm^2$, FeRAM 메모리 셀 면적은 $2.4\mu m^2$ 이고, 4층의 메탈배선을 채용하고 있으며 다시쓰기 가능횟수는 10^5 회 이상이다.

FeRAM을 혼재한 다기능 IC 카드용 논리 LSI는 후지쓰가 이미 양산을 개시하였었는데, 삼성은 지금까지 휴대전화기용 단일 메모리 개발을 중시하여 왔으나 이번에 처음으로 다기능 IC 카드 등의 논리 LSI에 FeRAM을 혼재한 것을 발표하였다.

향후에도 이 분야에 응용이 확대될 것으로 기대가 되고 있으나 고집적화의 여러 가지 문제점을 안고 있으므로 Gb급의 FeRAM의 실현은 새로운 개념의 연구개발이 나오지 않으면 쉽지 않을 것으로 생각된다.

IV. PRAM

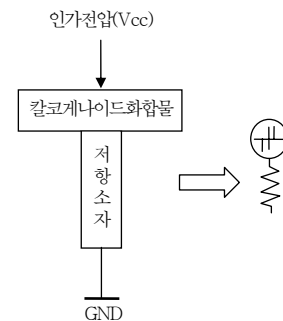
1.

PRAM(Phase change RAM)은 OUM(Ovonic Unified Memory)이라는 이름으로 미국 Ovonyx가 처음으로 소개한 메모리 기술로 CD-ROM이나 DVD-RAM과 같이 칼코게나이드($Ge_2Sb_2Te_5$: GST) 합금이라고 하는 특수한 얇은 박막 소재를 사용하고 있다[12]. 칼코게나이드 합금은 비결정(amorphous) 상태에서는 저항치가 높아지고, 결정(crystal) 상태에서는 저항치가 낮아지는 특성을 가지고, 이 2개

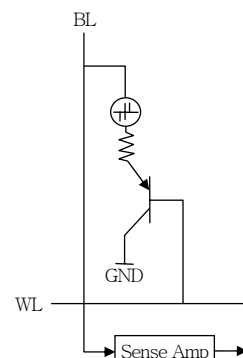
의 상태를 제어해서 바꾸는 것으로, “1”과 “0”의 논리를 기억 보유한다. 전술한 MRAM이 인가 전류의 방향에 의해 보이는 자계방향의 조합에 의해 저항치가 바뀌는 것에 비해, PRAM에서는 열에 의해 비결정질 상태와 결정 상태를 바꾸어 저항치를 변화시킨다.

(그림 6)은 PRAM의 메모리 소자의 구조를 나타낸 것(오른쪽은 간략기호)인데, 메모리 소자는 칼코게나이드 화합물과 저항 소자로 구성된다. 비결정질 상태와 결정 상태의 변화는 그림과 같이 인가 전압을 가하는 것으로 행하여진다.

비결정질 상태에서부터 결정 상태에 변화시키기 위해서는 일정시간 이 인가 전압을 가한다. 이것에 의해 칼코게나이드 화합물과 저항 소자의 사이에 전류 패스가 형성되고 더욱 전류를 계속해서 흘려 보내면 저항 소자에 jule 열이 발생하고 이것에 의해 원자의 다시 짜기가 일어나 결정 상태로 변화된다. 한편, 결정 상태에서부터 비결정질 상태에의 변화는 고온으로



(6) PRAM



(7) PRAM

부터의 급냉에 의해 행하여진다. 그것을 위하여는 짧은 시간 인가 전압을 주고, jule 열이 발생한 시점으로 금방 인가 전압을 GND 수준에 내리면 되는 것이다.

즉, 비결정질 상태와 결정 상태의 상변화는 인가하는 펄스 전압의 시간 폭으로 제어할 수 있다. 이 특징에 의해 PRAM은 WL과 BL의 2개의 라인만으로 기입과 읽어 넣을 행할 수 있고, MRAM 이상으로 실장 밀도를 높여 집적도를 향상시킬 수 있다.

(그림 7)과 같이 PRAM의 메모리 셀은 전술의 메모리 소자와 다이오드에 의해 구성된다. 기입은 WL을 액티브시키고 다이오드 스위치를 on 상태로 하고, BL에 변화시키고 싶은 상태에 대응한 인가 전압을 주면 된다. 읽어 넣은 WL을 액티브시키고, BL에 상태변위가 일어나지 않는 정도의 전압을 인가한다. MRAM과 같이 소자의 저항치가 크면 GND에 흘러나가는 전류가 적기 때문에 BL의 전압은 약간밖에 저하하지 않고, 반대로 저항치가 작으면 BL의 전압은 크게 저하한다. 이것을 sense amplifier에서 "1", "0"에 치환한다.

2.

2001년에 STMicroelectronics사는 CD에 이용되고 있는 미국 Ovonyx사의 상변화 기술이 반도체 메모리에 응용될 수 있다는 판단으로 'Ovonic Unified Memory'로 불리는 기술 라이선스를 획득하고 Ovonyx사와 공동으로 연구개발팀을 만들어 PRAM 기술의 실용화에 착수하였다. 2004년 6월에 열린 VLSI 심포지엄에 0.18 μm CMOS 공정을 이용하여 칩면적이 0.32 μm^2 을 가진 8Mbit PRAM을 발표하였다[13].

일본은 동일 재료를 사용하고 있는 광정보저장 분야에서 세계적인 기술력을 자랑하고 있는 만큼, 반도체 메모리 분야에서도 그 역할을 무시할 수 없다. 일본 내에서 가장 오랜 기간 동안 연구를 수행한 기관은 가나자와 대학으로서 상변화의 선택과 동작 특성의 검증 등 다양한 관련 기술에 대한 노하우를 보유하고 있고, 0.35 μm CMOS 공정을 사용한 상변화메

모리 암호회로를 제작한 결과를 가지고 있다[14]. 또한 군마대학에서는 상변화 재료를 박막트랜지스터 채널에 이용한 단일트랜지스터형 상변화 메모리 셀 기술을 개발중에 있다[15]. 또한 기업으로서는 유일하게 히타치 중앙연구소가 지난해 IEDM에서 셀구조 및 제작 셀의 특성결과를 발표하였다[16].

국내에서는 삼성이 지난 VLSI 심포지엄에 업계 처음으로 N-doped GST 박막에 의한 PRAM의 가능성을 발표하였고[17], DRAM의 휘발성과 집적도 한계를 극복한 비휘발성 64M PRAM을 업계 처음으로 일본 동경에서 열린 2004 SSDM에서 발표하였다[18]. 이 기술은 GST 박막과 0.18 μm CMOS 기술을 이용하여 fully 동작되는 것을 보여주고 있다. Reset 저항은 ~200k Ω , set 저항은 ~2k Ω 으로 100배의 차이를 가지고 있다. 또한 3V 동작에서 set/reset 시간이 100ns, 60ns의 특성을 가지고 있다. 1.58×10^9 cycles 동작에서도 fail이 없었으며 85°C에서 2년 정도의 retention 특성을 보여 주고 있다. 이 특성은 향후에 개선되어야 할 점으로 생각된다.

보다 저전력에서의 요구와 신뢰성 확보 등의 과제가 아직 남아 있고, 플래시 메모리의 집적도와 견줄만한 새로운 기술이 개발되어야 한다. 이것은 새로운 재료 개발과 소자 구조의 고안 등에서 찾을 수 있을 것으로 기대되고 또한 multi-bit 등의 새로운 개념의 메모리 셀의 착안 등이 실현될 때 가능할 것으로 기대된다.

V.

지금까지 설명한 것 같이 MRAM, PRAM은 플래시(flash memory)로부터 파생한 것이며, FeRAM은 DRAM으로부터 파생한 것으로 볼 수 있다.

FeRAM은 10년 이상 전부터 연구되고 있어 저소비 전력이라고 하는 점에서는 가장 뛰어나지만, 강유전체의 capacitor의 편차(차이)의 문제로부터 대용량화가 의문시되고 있다. 또 데이터 파괴 읽어 내기형의 메모리이기 때문에 재기입이 필요해서 그만큼 읽어내기에 시간이 걸린다.

< 표 1 >

	MRAM	FeRAM	PRAM	SRAM	DRAM	플래시
비휘발성	○	○	○	×	×	○
대용량화	○	△	○	×	○	○
써 넣기 시간	10~50ns	30~100ns	100ns~	30~70ns	50ns	10,000ns
읽어 내기 시간	10~50ns	30~100ns	20~80ns	30~70ns	50ns	50ns
다시 쓰는 횟수	10^{16}	$10^{12} \sim 10^{16}$	10^{12}	10^{15}	10^{15}	10^6
데이터 보유	10년	10년	10년	0.1s	0.1s	10년
읽어 내기 방법	비파괴	파괴	비파괴	비파괴	파괴	비파괴
소비 전력	$\sim 30\mu W$	$\sim 10\mu W$	$\sim 30\mu W$	300mW	300mW	30mW
대기 전류	$\sim 1\mu A$	$\sim 1\mu A$	$\sim 1\mu A$	100 μA ~	100 μA ~	$\sim 1\mu A$

MRAM은 대용량화 고속 액세스라고 한 조건은 만족시키고 있지만, 보다 큰 용량화를 꾀하기 위해서는 sense amplifier를 소형화 할 필요가 있고, 그것을 실현하기 위하여는 TMR 소자의 신호 증대와 써 넣을 때의 전류저감이 열쇠가 되고 있다.

PRAM은 전류에 의한 가열로 기입을 행하기 때문에, 그 신뢰성이 걱정되고 있다. 또 기입 때는 인가 전압을 길게 공급할 필요가 있기 때문에 기입 시간의 고속화의 벽이 예상되고 있다.

<표 1>에 각 메모리의 비교를 나타냈듯이 어쨌든 3자3상으로 현시점에서는 개발 도중이므로, 여기에서는 어느 것이 장래 주역이 된다고 말하기는 어려우나 최근의 기술개발의 추세로 보아 FeRAM, MRAM이 시장진입이 늦어지면서 PRAM이 향후의 unified memory 특징을 유니버설 메모리로서 가능성이 더 커 보이고 있다고 말할 수 있을 것이다. 또한 지금까지의 메모리 기술 개발의 축적된 기술이 활용되면 단기간에 PRAM의 유니버설 메모리로서 가능성을 펼쳐 보일 수 있을 것으로 기대된다.

- [1] 유병곤, 조경익, 강영일, “정보통신핵심부품 기술 동향 및 기술 진화 전망,” 주간기술동향, 1000호 발간기념 특집호, 2001, p.26.
- [2] 유비쿼터스 정보사회를 위한 메모리 기술 조사연구보고서, JEITA 보고서, 2003.
- [3] 진화하는 비휘발성 메모리- MRAM, FeRAM, OUM의 해설(1) *Nikkei Electronics*, 2002, 12. 27., [http://](http://pcweb.mycom.co.jp/news/2002/11/27/05.html)

- pcweb.mycom.co.jp/news/2002/11/27/05.html
- [4] 진화하는 비휘발성 메모리- MRAM, FeRAM, OUM의 해설(2), <http://pcweb.mycom.co.jp/news/2002/11/27/06.html>
- [5] 메모리 대용량 소비, *Nikkei Microdevices*, 2003년 10월호, pp.25-51.
- [6] MRAM 256M의 확산, *Nikkei Electronics*, 2003년 1월 20일호, pp.83-89.
- [7] J. DeBrosse et al., “A 16Mb MRAM Featuring Bootstrapped Write Drivers,” *Tech. Dig. Symp.. VLSI Circuits*, 2004, pp.454-455.
- [8] 세계 최고성능 TMR 소자의 양산 기술 개발, 일본 산업 기술총합연구소 Press Release 2004년 9월 7일자, http://www.aist.go.jp/aist_j/press_release/pr2004/pr20040907/pr20040907.html
- [9] H. Ishiura, “Current Status and Prospects Ferroelectric Memories,” *Tech. Dig. IEDM*, 33-1, 2001.
- [10] N. Nagel et al., “New Highly Scalable 3 Dimensional Chain FeRAM Cell with Vertical Capacitor,” *Tech. Dig. Symp. VLSI Technology*, 2004, pp.146-147.
- [11] 삼성, F램 탑재 스마트카드 IC 개발, 전자신문 2004년 6월 24일자.
- [12] S. Ovshinsky, “Amorphous Materials - the Key to New Devices,” *IEEE Proc. of CAS*, Vol.1, 1998, p.33.
- [13] F. Pellizer et al., “Novel μ Trench Phase Change Memory Cell for Embedded and Stand-Alone Non-Volatile Memory Applications,” *Tech. Dig. Symp. VLSI Technology*, 2004, pp.18-19.
- [14] S. Hosaka, “초고밀도 기록을 위한 상변화 채널 트랜지스터의 가능성,” 차세대 광기록 기술과 재료, 시엠시출판, 2004, pp.109-120.(일본어)
- [15] N. Takaura, “A GeSbTe Phase-Change Memory Cell Featuring a Tungsten Heater Electrode for Low-Power, Highly Stable, and Short-Read-Cycle Operation,” *Tech. Dig. IEDM*, 37-2, 2003.

- [16] S.H. Lee et al., "Full Integration and Cell Characteristics for 64Mb Nonvolatile PRAM," *Tech. Dig. Symp. VLSI Technology*, 2004, pp.20-21.
- [17] H.Horii 외 11명 "A novel Cell Technology Using N-doped GeSbTe Films for Phase Change RAM," *VLSI Symp. 2003*, 2003.
- [18] F. Yeung 외 16명 "GST Confined Structure and Integratration of 64Mb PRAM," *SSDM 2004*, 2004, pp.246-247.