

# 분자전자 메모리 소자 기술

Molecular Electronics Memory Device

정보통신 미래기술 특집

## 목 차

- .....
- I . 연구현황
  - II . 연구결과
  - III . 조사분석
  - IV . 기술/산업/시장동향

이효영 (H.Y. Lee)	신기능정보소자팀 책임연구원
박종혁 (J.H. Park)	신기능정보소자팀 선임연구원
방경숙 (G.S. Bang)	신기능정보소자팀 Post-Doc.
이정현 (J.H. Lee)	신기능정보소자팀 Post-Doc.
최낙진 (N.J. Choi)	신기능정보소자팀 선임연구원
백희열 (H.Y. Baek)	(주) 에티스
성건용 (G.Y. Sung)	신기능정보소자팀 책임연구원
정태형 (T.H. Zyung)	미래기술연구본부 책임연구원

개인이 접하게 되는 정보의 양은 날로 기하 급수적으로 증가하여 향후 10년 내에 테라 비트급 집적도를 갖는 정보처리 및 저장 소자가 필요할 것으로 예상된다. 이를 위하여 다양한 나노전자 소자 기술 연구 개발이 진행중이다. 구체적으로 살펴보면, 실리콘 기반 나노전자 소자, 분자전자 소자, 양자 소자, 단전자 소자, 그리고 나노자기 소자 등 많은 분야에서 기술 발전이 이루어지고 있다. 본 논문에서는 분자전자 소자 기술 동향 보고서 이후에 분자전자 소자 기술 중에서 최근 매우 빠르게 기술 개발이 진행되고 있는 분자 메모리 소자 기술에 관한 최근 연구 동향에 관하여 기술하였다. 뿐만 아니라 미래 시장을 위한 시나리오 예측 및 분석을 통하여 향후 분자 메모리 소자 기술 개발을 위한 연구 방향 설정 및 기술 개발 발전 등에 도움이 되드리고자 이 글을 쓰게 되었다.

## I. 연구현황

### 1. 분자전자 메모리 소자의 정의

기존의 전자소자의 동작원리를 분자차원에서 이해하여 분자고유의 메모리 기능을 실현할 수 있는 새로운 전자소자로 신호처리, 정보처리 및 정보저장을 수행함에 있어서 분자를 이용한 전기회로소자이다.

### 2. 분자전자 메모리 소자의 필요성

급증하는 정보통신의 양적 및 질적 수요에 부응하기 위해서는 정보처리 및 저장 분야에 있어서, 테라비트의 고집적화, 저전력 소모, 100GHz 이상의 고속화 등을 가능하게 하는 하드웨어의 성능향상이 필수적이며 이를 해결하기 위해서는 기존의 반도체 집적회로의 나노 기술을 통한 기술 혁신 및 신개념의 소자 기술 개발이 절실히 요구되고 있다.

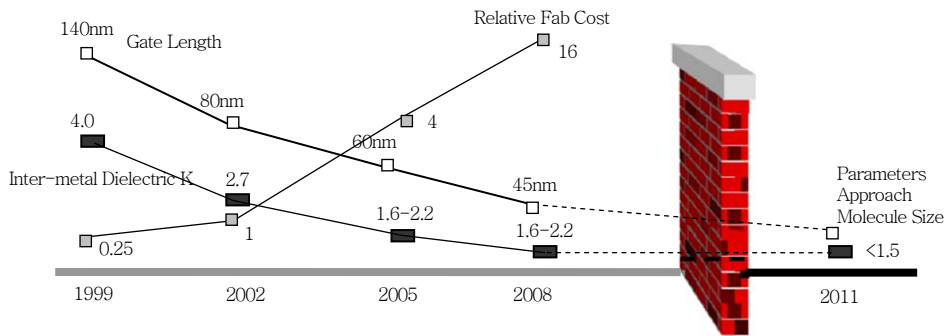
실제 ITRS-2003 기술 로드맵(그림 1) 참조)에 따르면 2008년경에는 게이트 길이가 45나노미터 동시에 금속 유전율이 1.6~2.2 사이의 값을 갖는 소재 개발이 가능할 것으로 예상하고 있다[1]. 이를 위하여 현재 세계 각국은 초소형, 초절전, 고집적 용량이 가능한 IC 칩 개발을 위하여 나노 리소그래피 연구 개발에 많은 노력을 기울이고 있다.

하지만 소자 소형화에 있어서 리소그래피 기술에 기반하는 현재의 무기반도체 기술 발전에 있어서 가장 큰 문제는 제조 비용이 기하급수적으로 증가한다

는 것이다. 현재 60nm급을 45nm급 나노 선을 구현시키기 위해서는 현재보다 거의 4배의 투자 비용이 필요할 것으로 예상된다. 뿐만 아니라 소자의 초고 집적 및 대용량화 시에 직면할 수 있는 기술적 및 물리적 한계(예를 들면, 초박막 게이트 산화막, short channel 효과, 불안정한 도핑 등)에 도달할 것으로 예상되며 특히, 광학적 리소그래피 방법으로 45nm 이하의 선폭을 가진 소자는 상업적으로 대량 생산이 불가능할 것으로 판단되고 있다. 따라서 많은 연구자들은 기존 무기 반도체 기술을 대체할 수 있는 새로운 나노 소자 기술을 찾고자 노력을 하고 있다.

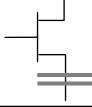
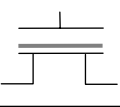
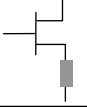
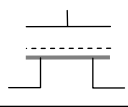
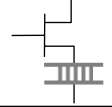
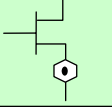
이처럼 나노소자 신기술 개발에 있어서 실리콘 기반을 두고 있는 나노전자 소자, 분자전자 소자, 양자 소자, 단전자 소자, 나노자기 소자 등 많은 연구 발전이 되고 있는 것은 주지의 사실이다. 그 중에서 분자 메모리 소자의 경우는 2003-ITRS 로드맵(<표 1> 참조)에서 인용된 바와 같이 향후 10년 내에 구현이 가능할 수 있는 미래 기술로 분류하였다[1].

현재 세계적으로 ULSI 반도체 메모리기술은 Giga-bit DRAM의 실현단계에 이르렀고 2010년경에는 100억 개 정도의 집적도에 이를 것으로 예상되며 특히 플래시 메모리(비휘발성 메모리)의 경우, ITRS-2003 기술 로드맵(<표 1> 참조)에 따르면, 2007년 이후에는 플래시 테크놀로지 노드 65nm 이하의 고집적도 기술을 요구하고 있으며, 이때의 플래시 NOR 타입의 셀 사이즈는  $0.034\mu\text{m}^2$  이하의 크기가 요구될 것으로 판단된다. 반면에 분자 메모리 소자 경우는  $0.01\mu\text{m}^2$  크기가 될 것으로 예상되며 휘



(그림 1) 2003 ITRS

〈표 1〉 미래 가능한 메모리 소자

Storage Mechanism	2004년 현재 기술		Phase Change Memory	Nano-floating Gate Memory	Insulator Resistance Change Memory	Molecular Memories
						
Device Types	DRAM	NOR Flash	OUM	Nanocrystal	MIM	Bistable Switch
Availability	2004	2004	~2006	>2006	~2010	~2010
Cell Elements	ITIC	IT	ITIR	IT	ITIR	ITIR
F Value	90nm	90nm	100nm	80nm	65nm	45nm
Cell Size	8F <sup>2</sup> 0.065μm <sup>2</sup>	12.5F <sup>2</sup> 0.101μm <sup>2</sup>	~6F <sup>2</sup> 0.06μm <sup>2</sup>	~6F <sup>2</sup> 0.038μm <sup>2</sup>	~6F <sup>2</sup> 0.025μm <sup>2</sup>	Not Known ~0.01μm <sup>2</sup>
Access Time	<15ns	~80ns	<100ns	<10ns	slow	~10ns
Store Time	<15ns	~1ms	<100ns	<10ns	<100ns	~10ns
Retention Time	64ms	10~20years	>10years	>10years	>1year	~1month
E/W Cycles	Infinite	>IE5	>IE13	IE6	>IE3	IE15

〈자료〉: ITRS 인용, 2003.

발성 메모리 소자뿐만 아니라 비휘발성 플래시 메모리를 대체할 수 있는 분자 메모리와 같은 새로운 개념의 신기능성 메모리 소자 개발이 요구되고 있다.

상기 분자 메모리 소자 구현을 위해서는 배선 문제의 해결, 자기 정렬하는 공정의 이용, 그리고 상온 동작이 가능한 새로운 분자소자 제작 방법과 실현 가능하고 원천 가능한 원천 기술 확보가 중요하다. 이처럼 분자전자 소자 기술 개발을 통하여 현 반도체 메모리를 대체할 수 있는 고집적 분자 메모리 소자 기술, 즉 재료, 공정, 소자, 설계와 관련된 원천 기술개발이 이루어진다면 향후 반도체 초일류 국가로의 발전을 이룩할 수 있는 충분한 성장 동력이 될 것으로 기대되며, 경제·산업적 측면에서 차세대 메모리 소자기술 개발을 통한 국가발전에 크게 기여할 것으로 예상된다.

### 3. 국내외 기술 활동 현황

#### 가. 세계 기술 현황

세계적으로 가장 앞서가는 국가는 미국이며 유럽에서 관련 분야 연구를 수행하고 있다. 미국에서는 주로 HP사와 국방성의 DARPA 프로그램을 통하여

분자전자 소자에 관련된 과제를 지원하고 있으나 최근에는 HP사 자체 연구 지원으로 분자전자 소자 제작에 적용 가능한 소프트 리소그라피 기술인 나노 임프린트 소자 기술 개발에 연구 인력을 투입하고 있다.

분자 메모리 소자 기술은 UCLA, HP사 분자 셔틀 스위치 화합물을 Langmuir-Blodgett film[2]과 나노 임프린트 기술[3]을 이용하여 분자 어레이 타입의 소자 제작 연구를 하고 있으며 또한 Rice 대학에서는 polyphenylene류의 공액성 redox 화합물 자기조립 단분자막(SAM)을 이용한 분자 스위칭 소재 및 단위 소자 특성 등이 보고되고 있다[4]. 뿐만 아니라 다중 비트형 나노튜브 분자 메모리 소자는 나노튜브의 표면을 산화, 환원이 가능한 분자로 개질한 후, 게이트 전압으로 이들 분자의 전기화학적 특성을 변화시키면 나노튜브의 전기전도도 및 기타 특성이 변화하는 현상을 이용한 소자로 2004년도에 University of Southern California와 NASA의 과학자들에 의해 발표되었다[5].

고분자 메모리 소자의 경우 미국, 독일, 일본 등 선진국을 중심으로 기술 발전이 되고 있으며 주요 연구 기관을 살펴보면 다음과 같다. 미국 프린스턴

대학과 HP사의 경우 고분자 소재인 PEDOT(Poly-ethylenethiophene)과 P-I-N 다이오드를 결합한 WORM 메모리 소자[6]를 제작하고 그 특성을 보고 하였다. 또한 독일 INFINEON사에서는 메모리 특성을 갖는 고분자 소재를 이용하여 수직형 금속-분자-금속 소자 제작 및 간단한 1resistor 특성을 보고하고 있다[7].

나. 국내 기술 현황

분자 메모리 소자 개발을 위한 선행기술로 과학기술부 주관 정보통신부 지원으로 추진하였던 IMT-2000 지원금 기술개발 사업의 일환으로 분자논리 소자 개발 사업이 한국화학연구원(KRICT), 한국전자통신연구원(ETRI), 한국표준과학연구원(KRISS)을 중심으로 2001년 하반기부터 시작되었다. MIM형의 단위소자의 특성 이해와 반도체 공정기술을 이용한 3x3 로직 어레이 소자를 개발하였다.

ETRI 미래기초사업의 일환으로 단일 분자를 이용하여 스위칭 및 신호 증폭이 가능한 분자 트랜지스터의 동작원리 및 구현 방법을 연구하고 있다.

국내 고분자 메모리 소자의 연구는 연구 개발 초기 단계로 산자부의 신성장 동력 사업 차세대 비휘

발성 메모리 사업에서 기초 연구가 진행되고 있다.

ETRI 내부에서 high risk/high return 과제로 분자 메모리 소자 사업을 수행하고 있으나 연구 개발 초기 단계이다. 특히 분자 메모리 기술 관련한 원천 기술 개발에 있어서 과제 기간이 매우 짧아 중장기적인 면에서 연구 개발이 이루어져야 한다고 판단된다. 주요 연구 내용은 분자 메모리 소재 제작에 있어서 나노임프린트 기술 개발과 자기조립법을 이용한 단분자 박막용 메모리 소재 개발을 진행중이다[8].

국내 분자 메모리 연구는 연구 개발 초기단계이나, OLED와 OTFT 등 디스플레이에 활용하기 위한 유기 전자소자 기술에서는 세계적인 수준의 결과를 보고하고 있고, 분자 다이오드를 이용한 분자 어레이 소자 및 소자 제작은 세계적인 선진 연구 그룹과 경쟁 관계에 있어서 정부차원에서 중장기적인 연구 투자 계획이 필요한 실정이다.

## II. 연구결과

- 국내외 연구 현황 및 장단점 비교

〈표 2〉에 분자전자 소자 기술 개발 관련 국내외

〈표 2〉 분자전자 소자 기술 분류 및 연구 개발 현황 요약

세부 기술 분류	국외 기술 현황	국내 개발 현황
분자 논리 소자	도입기 - 분자 다이오드, 스위칭 소재 - 분자 논리 소자 특성 보고 수준	도입기 - 분자 다이오드, 스위칭 소재 - 분자 논리 어레이 소자(3x3) - 세계기술 주도
분자 기억 소자	성장기 - 분자기억 소재 - 분자기억 어레이 소자 수준	도입기 - 분자기억 소재 - 분자기억 단위 소자 수준
분자 기억 소자	도입기 - 고분자기억 소재 - 고분자기억 소자 특성 연구 수준 - 세계기술 선도(미국, 독일)	도입기 - 고분자기억 소재 합성 및 특성연구 수준
다중비트 분자메모리 소자	도입기 - 다중비트 분자기억 소재 - 다중비트 기억 소자 특성 연구 수준 - 세계 기술선도(미국)	도입기 - 다중비트 분자기억 소재 개발중
분자 트랜지스터	도입기 - 전도성 분자 소재 - 분자 트랜지스터 소자 구현 가능여부 조사	도입기 - 분자 트랜지스터 소재 특성 연구 수준

〈표 3〉 분자전자 메모리 소자 연구 결과 요약

소속기관	연구자	연구 결과	장, 단점 비교
Hewlett Packard(HP), UCLA	Stanely Williams J. Heath	Chemically-Assembled, Defect-tolerant Architectures for Computing and Memory Application, Nano-imprint 기술 응용, MIM/LB Film	장점: LB 막을 사용한 최초 메모리 소자 구현 단점: 1. 반응 속도가 느린 shuttle형 분자 소재 2. 분자소자 수명이 매우 짧음
Yale/Rice Univ.	M.A. Reed, J.M. Tour	단위 나노 포어 소자 제작 및 특성 연구, MIM/SAM Film	장점: SAM 막을 사용한 최초 메모리 소자 구현 단점: 분자 메모리용 어레이 소자 제작 공정 불가능
Harvard Univ.	C.M. Lieber, H. Park	반도체 나노와이어 어레이를 이용한 나노 전자 소자 및 나노 광소자	장점: 나노와이어 소자 특성 연구 단점: 어레이 소자 제작 불가능
Philips	D.M. de Leeuw	전 유기 MISFET 제작 15bit mechanical programmable code generator 제작	장점: 전 유기물 소자 제작 가능성을 보임
University of Southern California, NASA		다중 비트형 나노튜브 분자 메모리 소자	장점: 나노튜브의 전기전도도 및 기타 특성이 변화하는 현상 규명

기술 분류 및 연구 개발 현황을 요약하였다. 또한 국내외 연구 결과를 소속기관, 대표 연구자, 연구 결과 그리고 장, 단점 비교를 <표 3>에 대략적으로 정리하였다.

### Ⅲ. 조사분석

#### 1. 해외 기술개발 정책

##### 가. 미국

미국의 분자전자 소자 기술 개발의 경우 2001년 설립된 NNI 계획에 따라 진행되고 있으며, 주로 미국방성의 DARPA에서 Moletronics라는 프로그램으로 대략 10개 그룹으로 나누어 분자전자 소자 개발을 지원하고 있다.

주요 지원 연구 기관은 Harvard 대학, Hewlett-Packard사, the Mitre Corporation사, Notre Dame 대학, Penn State 대학, Rice 대학, UC Riverside 대학, University of Colorado 대학, UCLA 대학, 그리고 Vander-bilt 대학이 있다.

분자소자 관련 과제는 다음과 같다.

- Molecular Electronics Based on Quantum-Dot Cellular Automata(University of Notre Dame)

- Multiporphyrin Molecular Memories(University of California, Riverside)
- Moleware and the Molecular Computer(Rice University)
- Theory and Simulation of Moletronic Devices and Systems(Vanderbilt University)
- Chemically-Assembled, Defect-Tolerant Architectures for Computing and Memory Applications(Hewlett Packard and UCLA)
- Carbon Nanotube Molecular Electronics (Harvard University)
- Inorganic Self-Assembly Routes to Three-Dimensional Memories and Logical Mesos-structures(The Pennsylvania State University)
- A Molecular And/Or Gate Pair(University of Colorado)
- Architectural Design, Analysis, and Prototyping for Next-Generation Molecular Electronic Systems(MITRE Corporation)

지난 3년간(2001~2003년) NNI 연구 개발 프로그램들 중에서 분자전자 소자 분야 연구가 주목할 만한 10대 연구 개발 기술의 하나로 선정되었다.

그 연구결과 주요 내용은 현재 상용화되어 있는 고집적 전자소자보다 100배 이상의 데이터 집적도

를 가지는 분자전자 소자의 시작품을 개발하였다고 발표하였다.

향후 미국 분자전자 소자의 기술 개발 정책에 있어서, 연구개발 속도가 초기 예상보다 2배 이상 빨라서, 몇 개의 주요한 응용 분야에 있어서는 시제품을 개발하는 데까지 걸리는 시간이 반 이상으로 줄도록 목표를 설정하였다.

분자전자 부문 NNI 향후 5개년 계획은 분자 아키텍처와 Nanomedicine 기술 개발 예정이라고 보고하였다.

향후 15개년 NNI 기술 개발 예정 기술들, 예를 들면, 10nm 이하의 CMOS를 넘어서는 트랜지스터 기술 개발, 대기, 토양, 물 등에서 나노 입자의 제어, 나노기술에 기반을 둔 약물합성 및 약물전달 기술들은 분자전자 기술 발전과 밀접하게 연관되어 기술 발전할 것으로 예상되어 분자전자 소자 부문에 더 많은 비중을 두어 투자할 것이라고 보고하였다.

#### 나. 유럽

유럽에서는 European Commission 산하에서 FET-NID 프로그램을 통하여 여러 나노전자 소자 연구를 지원하고 있으며 분자소자도 이중 한 분야로 지원받고 있으나 아직 분자를 스위치로 사용한 소자에 대한 연구는 추진하고 있지 않으며 각 국에서 따로 지원하고 있다.

2003년 12월에 발행된 “Integrating and strengthening the European Research Area: Community activities in the field of research, technological development and demonstration for the period 2002 to 2006”에 따르면 분자전자를 구현하기 위한 선행 단계로 자기조립법을 과제화하여 진행중이다.

2004년 12월에 발행된 COMMUNICATION FROM THE COMMISSION, Towards a European strategy for nanotechnology 보고서에 따르면, 분자전자 기술을 미래 개발해야 할 전략 기술로 다루었다.

유럽 연합국가 Vision 2020 “A far-sighted

strategy for Europe Nanoelectronics 2020 at the centre of change”에서 분자전자 소자 기술을 중요 투자 기술로 분류하였는데, 단일 분자를 이용한 고집적, 고성능 컴퓨팅에 대한 응용과 나노 센서에 대한 응용 기술로 분류하여 투자할 예정이다.

#### 다. 아시아

일본의 경우 나노프로그램을 2001년에 확정하고 2001년에 첫 “Molecular electronics and bio-electronics 국제 학회”를 개최한 후 현재까지 진행 중이다.

분자소자 기술 개발에 있어서 일본의 경우 미국 로드맵과 유사하게 진행하고 있으나 분자 컴퓨팅 보다는 보다 이른 시기에 응용 가능할 것으로 예상되는 분자전자 소자 센서용에 초점을 두어 투자하고 있다.

중국에서는 약 2년 전부터 분자소자 연구를 시작한 것으로 파악되며 분자소자화에 대한 기초 연구들이 진행되고 있다.

## 2. 미국의 투자 현황

전반적인 경제침체에도 불구하고 미국 내 나노기술 관련 벤처투자가 2001년 대비 2002년에 두 배로 성장했다.

2003년의 경우 나노기술에 대한 미국의 투자는 전 세계의 25% 수준임에도 불구하고 미국특허의 2/3가 미국에서 출원된 것이다.

2003년 기준 나노기술 관련 벤처기업의 75%가 미국 내 기업이며 NNI의 적극적인 투자에 힘입어 미국이 나노기술 분야의 지적재산권을 독점하고 있다.

미국 과학재단(NSF)의 경우 2001년에서 2003년 사이에 100여 개의 중소기업에 3600만 달러를 지원하였다.

분자전자 관련 상호 공동 연구 활동을 하고 있는 기관은 미국 국방성(DOD), 미국 항공우주국(NASA) 그리고 미국 NSF로 이들 연구 기관을 통하여 거의 모든 연구 지원금이 배분되고 있는 실정이다.



〈표 4〉 분자 소자 기능별 국내의 기술 수준 비교 요약

세부 분류	국외 기술 현황	국내 개발 현황	국외대비 수준(%)	
분자 전선	분자전선 소재 설계 및 합성, 단일소자 Rice 대학	유기반도체 소재	70	
분자 다이오드	분자 다이오드 소재 및 분자 논리 소자, Alamaba 대학	분자 다이오드 소재 및 분자 어레이 논리 소자(3x3), KRICT/ETRI	100	
분자 스위치	분자 스위칭 소재 및 소자, Rice 대학/HP/UCLA	분자 스위칭 소자 및 소재, ETRI/KRICT	70	
분자 메모리	분자 메모리	분자 메모리 소재 및 소자 특성 연구, HP	분자 메모리 소재 및 소자 특성 연구, ETRI	80
	다중 비트 분자 메모리	분자 메모리 소재 및 소자 특성 연구, USC 대학	분자 메모리 소재 및 소자 특성 연구, ETRI/KRICT	60
	고분자 메모리	고분자 메모리 소재 및 소자	고분자 메모리 소재, 한양대/ETRI	60
분자 트랜지스터	단일분자 트랜지스터	FET용 분자 소재/소자 기술 개발	유기 반도체 소자, ETRI	60
	단분자막 트랜지스터 기술	FET용 분자 소재/소자 기술 개발	없음	0

〈표 5〉 핵심 요소 기술의 국내외 기술 수준 비교

기술 분야	핵심 요소 기술	국외 기술 현황	국내 개발 현황	국외대비 수준(%)
분자 소자 구조	어레이 소자 설계 및 제작 공정(나노 임프린트 등 소프트리소그래피 기술)	8x8어레이(64bit, $10^{11}$ bit/cm <sup>2</sup> ) (HP/UCLA)	3x3 OR/AND 로직 게이트 소자, 나노임프린트, KIMM, LG 전자	70
분자 소자용 소재 설계 및 합성 기술	분자 설계 및 전산 모사	Rice U., Carnegi Melon U.	ETRI, 분자 컴퓨팅 시뮬레이션	70
	티올 함유 말단기 합성	Rice U., CIAC	KRICT, ETRI	95
	ethynyl 기 coupling 반응	Rice U., Cornell U.	KRICT	95
	스위치가 가능한 분자 설계	UCLA, Rice U.	ETRI	90
	Redox 가능한 기 치환 반응	UCLA, Rice U.	ETRI	90
	rotaxane계 분자 합성	UCLA	KAIST	85
분자 자기 조립 박막 조절 기술	자기 조립 박막 형성 기작 조사 기술	Penn State U., Polytech.	ETRI, KRICT	85
	나노 도메인 형성 조작 기술	Polytech.	ETRI, KRIS	50
	선택적 조립 기술	Penn State U.	KRICT	50
	나노 입자 부착 기술	motorolar	ETRI, KRICT	90
	자기 조립 박막 특성 조사 기술	Penn State U., 서울대	ETRI, KRIS	95
분자 소자 계면 기술	분자/금속전극 인터페이스 연구 기술	분자-금속 접합 및 전자수송 기초연구(Yale)	ETRI, KAIST	70
분자 소자 제작 및 회로 구현기술	분자 로직 어레이 소자 제작	CNTFET logic device, 분자 메모리 어레이(IBM, HP)	KRIS	50
	단일 분자 트랜지스터 소자 제작	Gated nanogap(<2nm) 단위 소자(Harvard, Cornell, Delft)	ETRI, KRIS	70
	유기 반도체 박막 소자 제작	Bell Lab.	ETRI, KRICT, 동아대	90
	하이브리드 타입 회로 구현기술	Yale/Rice U.	ETRI	50
분자 컴퓨팅 아키텍처	신 개념 인터컨넥션 및 시뮬레이션 기술(분자회로용)	Defect-tolerant 분자 어레이, Nanocell 개념(HP, Yale)	ETRI	40

2005년의 경우, 나노 기술 관련하여 미국 NSF는 2001년의 2억5천만 달러에서 3억5백만 달러로 2 배 이상 예산이 증액하였고, 미국 국방성의 경우, 1 억2천5백만 달러에서 2억7천, 그리고 미국 항공우 주국의 경우 2천2백만 달러에서 3천5백만 달러로 증액하였다.

<표 4>와 <표 5>는 분자 소자 기능별 국내외 기 술 수준 비교 및 핵심 요소 기술의 국내외 기술 수준 비교를 요약한 것이다.

#### IV. 기술/산업/시장동향

• 공공수요 시나리오

2015년경에는 분자 논리 및 분자기억 소자가 상 용화되어, 기존 반도체 시장을 대체하거나 새로운 시장을 창출할 것으로 예상된다.

특히 테라급 집적도를 갖는 고밀도 소자 제작이 가능하므로 저전력, 초경량화가 필요한 차세대 PC

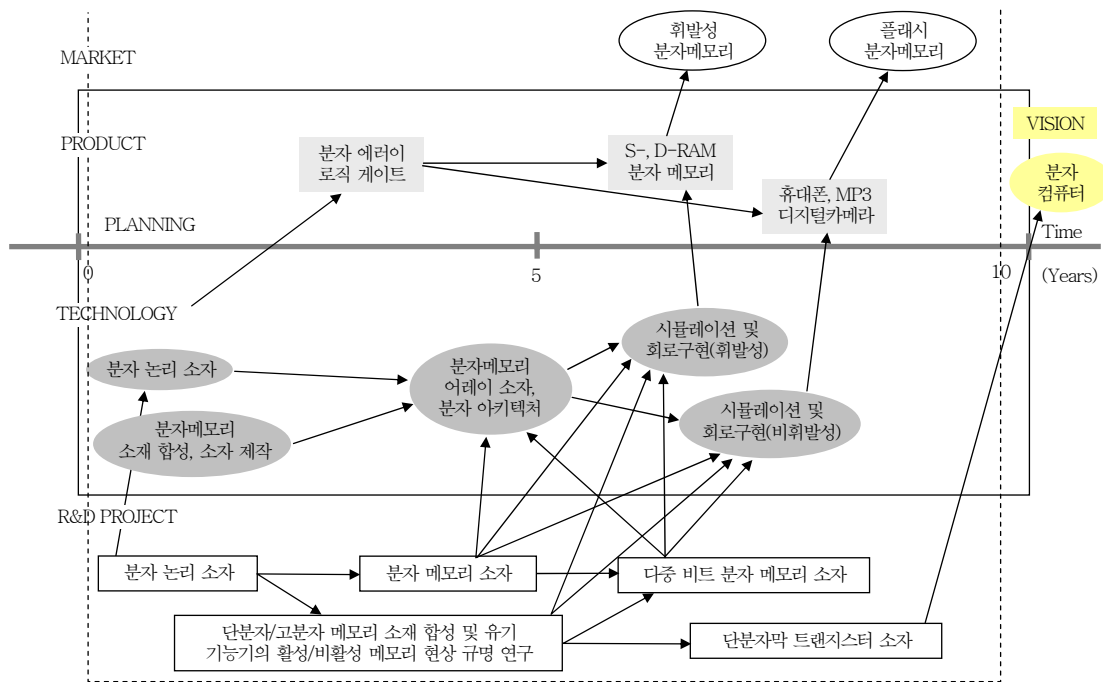
의 웨어러블 컴퓨터 및 센서 등 핵심 부품으로 사용 될 것으로 예상된다. 최근 미 항공우주국에서도 분 자소자 관련 연구를 진행하고 있는데, 주 연구 목표 는 우주선에서도 쓸 수 있는 초고집적, 초경량 분자 메모리 소자 제작에 목적을 두고 있다.

차세대 PC의 경우는 향후 10년 내에 웨어러블 컴퓨터 등의 보급이 가능할 것으로 예상되며, 분자 메모리 소자 기술이 웨어러블 컴퓨터 실용화에 결정 적인 기여를 할 것으로 예상된다.

또한 20년 내에는 휴머노이드 형태와 같은 인공 로트 개발이 구체화되어 이들 구현을 위해 필요한 부품들, 인간 친화형 메모리 소자기술이 절실히 필 요할 것으로 예상된다.

뿐만 아니라 소프트 리소그래피 기술(나노임프린 트 등)들을 이용한 분자 소자 제작이 가능하므로 쉬 운 공정 및 값싼 단가들을 포함한 경제적인 파급 효 과가 매우 클 것으로 판단된다.

분자 논리 소자의 경우는 AND/OR 로직 회로에 응용될 것으로 판단된다.



(그림 2) 비즈니스 기술 로드맵



〈표 6〉 시장 및 제품에 따른 분자전자 소자 세부 기술

시장	제품	세부 기술
휘발성 분자 메모리	AND/OR 로직 게이트 부품	- 분자 논리 소자 기술 - 단분자 메모리 소재 합성 및 유기 기능의 활성/비활성 메모리 현상 규명 연구
	S 또는 D-RAM용 분자 메모리	- 분자 메모리 소자 제작 기술 - 시뮬레이션 및 회로 구현 기술
비휘발성 플래시 분자 메모리	휴대폰	- 분자 논리 소자 기술
	MP3	- 비활성 분자 메모리 소재 설계 및 합성 기술 - 고집적 분자 메모리 소자 제작 기술
	디지털 카메라	- 시뮬레이션 및 회로 구현 기술
분자 또는 바이오분자를 이용한 웨어러블 센서	인간위치 검지 시스템 개발	- 분자 센서 소재/소자 기술
	건강 자가 진단 시스템 보급	- 고선택성, 고감도, 고집적 분자 센서 소자 기술

〈표 7〉 분자전자 소자 기술 개발에 따른 미래 시나리오 관련 제품 및 시장 예측

시나리오	관련 제품 시장 명	시장규모		시장점유율 전망 (2015년 기준, %)
		2005년	2015년(억 원)	
웨어러블 분자 컴퓨터: 테라급 고집적, 초경량, 저소비전력 SOC	AND/OR 로직 게이트 부품	-	1,000,000	8
	S 또는 D-RAM 대체용 휘발성 분자 메모리	-	2,000,000	16
	휴대폰	-	-	-
	비휘발성 플래시 분자 메모리	-	3,000,000	24
	MP3	-	-	-
웨어러블 분자 센서	인간위치 검지 시스템 부품 및 프로세서	-	2,000,000	16
	건강 자가 진단 시스템 부품 및 프로세서	-	-	-

분자 기억 소자의 경우는 기존 DRAM, SRAM 대체, 비활성 메모리 소자 대체 및 새로운 시장(예를 들면, 분자센서 등) 개척이 가능할 것으로 예측된다.

(그림 2)는 분자 메모리 소자의 미래 발전 기술 로드맵을 예시하였고, <표 6>은 시장 및 제품에 따른 분자전자소자 세부 기술을 요약했으며, <표 7>은 분자전자 소자 기술 개발에 따른 미래 시나리오 관련 제품 및 시장 예측 자료이다.

### 약어 정리

CMOS	Complementary Metal-Oxide Semiconductor
DARPA	Defense Advanced Research Project Agency
DOD	Department of Defense
DRAM	Dynamic Random Access Memory

FET	Field Effect Transistor
FET-NID	Future and Emerging Technologies-NanoInformation Devices
IC	Integrated Chip
ITRS	International Technology Roadmap for Semiconductors
KRICT	Korea Research Institute of Chemical Technology
KRISS	Korea Research Institute of Standards and Science
LB	Langmuir Blodgett
MIM	Metal-Insulator-Metal
NNI	National Nanotechnology Initiative
NSF	National Science Foundation
OLED	Organic Light Emitting Diode
OTFT	Organic Thin Film Transistor
SAM	Self-Assembled Monolayer
SOC	Silicon on Chips
SRAM	Static Random Access Memory

ULSI Ultra Large Scale Integration  
WORM Write-Once-Read-Many

## 참 고 문 헌

- [1] <http://public.itrs.net/Files/2003ITRS/Home2003.htm>
- [2] C.P. Collier, G. Mattersteig, E.W. Wong, Y. Luo, K. Beverly, J. Sampaio, F.M. Raymo, J.F. Stoddart, and J.R. Heath, "Electronically Configurable Molecular-Based Logic Gates," *Science*, Vol.285, 1999, p.391.
- [3] G.Y. Jung, S. Ganapathiappan, Douglas A.A. Ohlberg, Deirdre L. Olynick, Y. Chen, William M. Tong, and R.S. Williams, "Fabrication of a 34x34 Crossbar Structure at 50nm Half-pitch by UV-based Nanoimprint Lithography," *Nano Letters* 2004, Vol.4, No.7, 2004, p.1225.
- [4] a) C. Zhou, M.R. Deshpande, M.A. Reed, L. Jones II, and J.M. Tour, "Nanoscale Metal/Self-Assembled Monolayer/Metal Heterostructures," *Appl. Phys. Lett.*, Vol.71, 1997, p.611, b) M.A. Reed, J. Chen, A.M. Rawlett, D.W. Price, and J.M. Tour, "Molecular Random Access Memory Cell," *Appl. Phys. Lett.*, Vol.78, 2001, p.3735.
- [5] C. Li, W. Fan, B. Lei, D. Zhang, S. Han, T. Tang, X. Liu, Z. Liu, S. Asano, M. Meyyappan, J. Han, and C. Zhou, "Multilevel Memory Based on Molecular Devices," *Appl. Phys. Lett.*, Vol.84, p.1949.
- [6] S. Moller, C. Perlov, W. Jackson, C. Taussig, and S.R. Forrest, "A Polymer/Semiconductor Write-once Read-many-times Memory," *Nature*, 2003, Vol.426, p.166.
- [7] R. Sezi, A. Walter, R. Engl, A. Maltenberger, J. Schumann, M. Kund, and C. Dehm, "Organic Materials for High-Density Non-Volatile Memory Applications," *IEDM proc.*, 2003.
- [8] [http://www.koci.re.kr/new/mail\\_service/sub.php?code=52](http://www.koci.re.kr/new/mail_service/sub.php?code=52).